



Universidade Federal de Juiz de Fora
Programa de Pós-Graduação em
Engenharia Elétrica

Vinícius Barbosa Schettino

ESTUDO E DESENVOLVIMENTO DE SISTEMAS ELETRÔNICOS PARA O
CALORÍMETRO HADRÔNICO DE TELHAS NO CENÁRIO DE ALTA
LUMINOSIDADE DO LHC

Dissertação de Mestrado

Juiz de Fora
2014



ESTUDO E DESENVOLVIMENTO DE SISTEMAS ELETRÔNICOS PARA O
CALORÍMETRO HADRÔNICO DE TELHAS NO CENÁRIO DE ALTA
LUMINOSIDADE DO LHC

Vinícius Barbosa Schettino

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, PPEE, da Faculdade de Engenharia da Universidade Federal de Juiz de Fora, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Augusto Santiago Cerqueira

Juiz de Fora
Fevereiro de 2014

Ficha catalográfica elaborada através do Programa de geração automática da Biblioteca Universitária da UFJF, com os dados fornecidos pelo(a) autor(a)

Schettino, Vinícius Barbosa.

Estudo e Desenvolvimento de Sistemas Eletrônicos para o Calorímetro Hadrônico de Telhas no Cenário de Alta Luminosidade do LHC / Vinícius Barbosa Schettino. -- 2014.

136 p. : il.

Orientador: Augusto Santiago Cerqueira

Dissertação (mestrado acadêmico) - Universidade Federal de Juiz de Fora, Faculdade de Engenharia. Programa de Pós-Graduação em Engenharia Elétrica, 2014.

1. Sistemas Eletrônicos. 2. LHC. 3. Upgrade. 4. MobiDICK. 5. Tile-Muon. I. Cerqueira, Augusto Santiago, orient. II. Título.

ESTUDO E DESENVOLVIMENTO DE SISTEMAS ELETRÔNICOS PARA O
CALORÍMETRO HADRÔNICO DE TELHAS NO CENÁRIO DE ALTA
LUMINOSIDADE DO LHC

Vinícius Barbosa Schettino

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO PROGRAMA
DE PÓS GRADUAÇÃO EM ENGENHARIA ELÉTRICA (PPEE) DA
UNIVERSIDADE FEDERAL DE JUIZ DE FORA COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada e aprovada por:

Prof. Augusto Santiago Cerqueira, D.Sc.

Prof. Luciano Manhães de Andrade Filho, D.Sc.

Prof. Danton Diego Ferreira, D.Sc.

JUIZ DE FORA, MG – BRASIL
FEVEREIRO DE 2014

*Dedico esta conquista aos meus
pais, Vinícius e Juçara.*

Agradecimentos

Agradeço primeiramente à minha família, que sempre me apoiou em todas as minhas decisões e me deu todo o suporte necessário, mesmo nos momentos mais difíceis, pra chegar até aqui. Assim, deixo aqui meu muito obrigado a Juçara, Vinícius, Isabella, Júlia e Marcos. Sem o carinho de vocês eu nunca teria atingido essa conquista.

Agradeço também à minha namorada, que nos últimos cinco anos me apresentou um amor incondicional, estando ao meu lado nas horas mais importantes, nas mais alegres e nas mais tristes. Por ter me acompanhado nessa jornada, mesmo quando o tempo e a distância pareciam barreiras intransponíveis, obrigado Rachel.

Também sou muito grato à família Louback que, num momento de grande necessidade, me acolheu como um filho.

Não poderia deixar de mencionar duas pessoas que acompanharam cada passo meu por mais de metade da minha vida. ~~Cuia e Dioghem~~ Daniel e Dhiogo são verdadeiros amigos, do tipo mais leal que se pode encontrar. Obrigado por terem dividido comigo tantos bons momentos e, podem ter certeza, outros ainda melhores virão!

Algumas pessoas marcaram minha graduação e sinto que nunca as agradei apropriadamente. Um pouco atrasado, mas deixo registrado aqui minha gratidão a Leonardo, Raul e Rogério.

Aos colegas do LAPTEL, por terem me ajudado nos mais diversos tópicos, simples ou complicados, e, por que não, pelos bate-papos de corredor e discussões sobre futebol, obrigado.

Agradeço a Marcos Vinícius, que durante um ano foi meu parceiro de viagens, de apartamento, de almoço e de escritório. Além de amigo, ainda teve a paciência de ser meu professor de Linux.

Obrigado Júlio, por sua enorme contribuição em meu trabalho, mas principalmente pela pessoa que você é: grande amigo, extremamente humano, sincero, *sempre* disposto a ajudar e, mais importante, botafoguense.

Muitas pessoas me ajudaram durante minha estadia no CERN, período de maior importância para o desenvolvimento do trabalho descrito nesse documento. Especi-

almente, gostaria de agradecer a Ana, Carlos, Fernando, Alberto, Pablo e Irakli, que contribuíram enormemente para o meu desenvolvimento profissional. Sem a ajuda de vocês, essa dissertação seria bem mais curta.

Agradeço ao meu orientador, Augusto, que me acompanha desde a graduação. Pessoa com grande firmeza de caráter e que, através da confiança depositada em mim, me proporcionou uma das experiências mais fantásticas de minha vida. Também sou grato ao Professor Luciano, que me acompanhou pelo mesmo período e me guiou em vários pontos de minha pesquisa, sempre com ótimos conselhos.

Finalmente, agradeço ao CNPq, à CAPES e à FAPEMIG, órgãos de fomento que financiaram meu trabalho e meus estudos.

Muitas outras pessoas são igualmente importantes e não foram citadas. Tentando ser menos injusto, deixo aqui meu obrigado a todos que de alguma forma contribuíram para que este trabalho pudesse ser concluído.

Resumo da Dissertação apresentada ao PPEE/UFJF como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

ESTUDO E DESENVOLVIMENTO DE SISTEMAS ELETRÔNICOS PARA O
CALORÍMETRO HADRÔNICO DE TELHAS NO CENÁRIO DE ALTA
LUMINOSIDADE DO LHC

Vinícius Barbosa Schettino

Fevereiro/2014

Orientador: Augusto Santiago Cerqueira

Programa: Engenharia Elétrica

O LHC é o mais energético acelerador de partículas já construído. Operado pelo CERN, essa fantástica máquina encontra-se no subterrâneo, na região da fronteira franco-suíça. Um de seus principais experimentos, o ATLAS, está atualmente passando por um período de parada técnica planejada, visando concomitantemente a consolidação da estrutura eletrônica do detector e a substituição de tecnologias, preparando o experimento para um novo estágio de operação do LHC, em que haverá um grande aumento na taxa de colisões entre prótons. Nesse contexto, essa dissertação abordará o estudo e o desenvolvimento de sistemas eletrônicos para o TileCal, um dos calorímetros do ATLAS. Principalmente, serão discutidos dois novos sistemas: O Sistema Móvel de Checagem da Integridade das Gavetas, conhecido como MobiDICK, e o projeto Tile-Muon. Relativamente ao primeiro, serão expostos detalhes da quarta versão de um sistema utilizado para realizar checagens quantitativas e qualitativas da eletrônica do TileCal. Esta nova versão, implementa ainda a estrutura que possibilita a realização de testes nas novas tecnologias que serão utilizadas no calorímetro. O ambicioso projeto Tile-Muon visa a utilização do TileCal para identificação de múons, com o objetivo de tornar mais eficiente a seleção de eventos do ATLAS. Essa proposta requer o desenvolvimento de uma nova estrutura eletrônica de suporte, que será apresentada nessa dissertação. Apresentaremos análises feitas com o MobiDICK sobre a eletrônica do TileCal, que mostrou boa performance, e também uma caracterização do sinal de múons, estudo fundamental para a validação e o desenvolvimento do projeto Tile-Muon.

Abstract of Dissertation presented to PPEE/UFJF as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

STUDIES AND DEVELOPMENT OF ELECTRONIC SYSTEMS FOR THE
HADRONIC TILE CALORIMETER IN THE HIGH LUMINOSITY SCENARIO
OF LHC

Vinícius Barbosa Schettino

February/2014

Advisor: Augusto Santiago Cerqueira

Department: Electrical Engineering

The LHC is the most energetic particle accelerator ever built. Run by CERN, this fantastic machine lays underground, near the Franco-Swiss border. One of its main experiments, ATLAS, is currently going through a planned technical stop, targeting both a consolidation of the detector's electronics and a technology replacement, preparing the experiment to a new stage in the LHC operation, where the protons collision rate will increase largely. In such context, this dissertation addresses the study and the development of electronic systems for TileCal, one of ATLAS calorimeters. Primarily, two new systems will be discussed: the Mobile Drawer Integrity Checking System, known as MobiDICK, and the Tile-Muon project. Regarding the former, we'll bring details of the fourth version of a system used to check quantitatively and qualitatively the electronics of TileCal. This new version also provides the system with the ability to test the new technologies that will be used in the calorimeter. The ambitious Tile-Muon project aims at using TileCal for muon identification, with the goal of raising the efficiency of event selection in ATLAS. This proposal requires the development of a new electronic structure for support, which will also be presented in this dissertation. Analysis of TileCal's electronics using MobiDICK will be shown, revealing good performance, along with a characterization of the muon signal, a fundamental study for validation and development of the Tile-Muon project.

Sumário

Lista de Figuras	xv
Lista de Tabelas	xix
Lista de Abreviaturas	xxi
Lista de Símbolos	xxv
1 Introdução	1
1.1 Descrição do Trabalho Realizado	3
1.2 Visita Guiada	4
2 Contextualização	7
2.1 CERN	7
2.2 LHC	9
2.3 ATLAS	11
2.4 O sistema de trigger do ATLAS	16
2.5 Calorímetro Hadrônico de Telhas	18
2.5.1 Eletrônica da gaveta	20
3 Identificação de Múons pelo TileCal	29
3.1 Estudos anteriores	30
3.2 Projeto Tile-Muon	30
3.3 Eficiência da detecção de múons pelo TileCal	34
3.4 Receiver Board	37
4 Sistema Móvel de Checagem da Integridade das Gavetas	39
4.1 As primeiras versões	40
4.1.1 Hardware	40
4.1.2 Software	41
4.2 Motivação para uma nova versão	42

4.3	MobiDICK4	43
4.3.1	Visão geral	43
4.3.2	Hardware	44
4.3.3	Firmware	51
4.3.4	Software	54
4.3.5	Testes realizados pelo sistema	56
5	Trigger Read Out Board	61
5.1	Visão Geral	61
5.2	Esquemático	63
5.3	Simulações Computacionais	69
6	Resultados	73
6.1	Trigger Read Out Board	75
6.2	Comissionamento e estudo da Saída de Múons	77
7	Conclusões	85
	Referências Bibliográficas	87
A	Sistema de Coordenadas do ATLAS	95
B	Layout da Trigger Read Out Board	97
C	Produção Bibliográfica	105

Lista de Figuras

2.1	Vista aérea do laboratório CERN, cruzando a fronteira franco-suíça	8
2.2	Partículas elementares previstas pelo Modelo Padrão, divididas em 3 famílias: léptons, quarks e bósons	9
2.3	Ilustração do território ocupado pelo LHC	9
2.4	Visão do interior da caverna do LHC. Extraído de [9]	10
2.5	Representação dos principais detectores do LHC, localizados nos pontos onde ocorrem as colisões de partículas. Extraído de [9]	12
2.6	Ilustração do detector ATLAS, evidenciando os subdetectores que o compõem. Extraído de [9]	12
2.7	Vista em corte do Detector Interno do ATLAS. Extraído de [9]	13
2.8	Ilustração do sistema de calorimetria do ATLAS. Extraído de [9]	14
2.9	Ilustração do Calorímetro Eletromagnético do ATLAS. Extraído de [9]	15
2.10	Ilustração do sistema de múons do ATLAS. Extraído de [9]	15
2.11	Forma como os diferentes tipos de partículas interagem com os subdetectores do ATLAS. Extraído de [9]	16
2.12	Ilustração de um evento gerado por colisão próton-próton no ATLAS. Em destaque estão a trajetória de 2 múons (vermelho) e 2 elétrons (verde), uma das possíveis formas de decaimento do Bóson de Higgs. Extraído de [21]	17
2.13	Ilustração de um evento gerado por colisão próton-próton no ATLAS, em que seria formado um microscópico buraco negro. Extraído de [9]	17
2.14	O sistema de trigger do ATLAS, utilizado na seleção de eventos	18
2.15	Visualização tridimensional do Calorímetro Hadrônico de Telhas	19
2.16	Diferentes visões de um módulo do TileCal	20
2.17	Ilustração da relação entre o TileCal, um de seus módulos e sua gaveta. Extraído de [29]	21
2.18	Foto de uma gaveta sendo retirada de um dos módulos do TileCal	21
2.19	Diagrama em blocos da eletrônica de aquisição do TileCal. Extraído de [17]	22

2.20	Ilustração do fluxo de dados no TileCal	22
2.21	O bloco PMT usado no TileCal. Extraído de [9]	23
2.22	A placa 3-in-1	24
2.23	Somador	25
2.24	Digitizer	26
2.25	Placa de Interface	27
2.26	Sistema de distribuição HV utilizado pelo TileCal	28
2.27	fLVPS: sistema para alimentação de baixa tensão utilizado nos módulos do TileCal. Extraído de [40]	28
3.1	Os prótons gerados na região do imã toroidal atingem principalmente a tampa do Espectrômetro de Múons	31
3.2	Ilustração da alta taxa de falso alarme do L1 de múons	32
3.3	Deposição de energia de múons na última camada do TileCal em função de η	33
3.4	SNR do sinal de múon deixado nas diferentes células da camada D do TileCal	33
3.5	Ilustração da coincidência em η entre o Barril Estendido do TileCal e as câmaras TGC do Espectrômetro de Múons. Adaptado de [44] . . .	34
3.6	Eficiência de detecção de múons (círculos vermelhos) e redução na taxa de L1 de múons (quadrados azuis) quando as Saídas de Múons do TileCal são adicionadas ao caminho de trigger, em função de um corte variável imposto sobre a soma da energia deixada nas células D5 e D6. Adaptado de [44]	35
3.7	Eficiência de detecção de múons pelas células D5 e D6 do TileCal. Extraído de [44]	36
3.8	Impacto geral do uso do TileCal no Nível 1 de <i>trigger</i> de múons . . .	37
3.9	Diagrama em blocos da Receiver Board	38
4.1	Primeira versão do MobiDICK. Extraído de [47]	40
4.2	Diagrama em blocos do <i>hardware</i> empregado nas primeiras versões do MobiDICK, omitindo o sistema de alta tensão. Extraído de [46] . . .	42
4.3	Diagrama do <i>hardware</i> do MobiDICK4, representado pelos blocos contidos pela linha tracejada	44
4.4	ML507: placa mãe usada pelo MobiDICK4	45
4.5	Módulo SFP utilizado para comunicação ótica com a gaveta	46
4.6	Placa Mezanino de Alta Tensão	46
4.7	LED driver	47

4.8	CAN232: adaptador comercial utilizado para conversão entre os protocolos RS232 e CAN. Extraído de [61]	48
4.9	Esquema do fornecimento de potência empregado pelo MobiDICK4	48
4.10	MobiDICK4	49
4.11	<i>Laptop</i> dedicado do MobiDICK4	52
4.12	Esquema de controle implementado pela <i>firmware</i> do MobiDICK4	52
4.13	A interface gráfica apresentada ao operador do MobiDICK	55
5.1	Visão geral da Trigger Read Out Board	62
5.2	Esquemático do conector de entrada usado na TROB	63
5.3	Estágio analógico de um dos canais de leitura	64
5.4	Esquema de digitalização empregado pelo ADS5271	65
5.5	Esquemático utilizado pelos conversores analógico-digital da TROB	67
5.6	Circuito de geração e distribuição de <i>clock</i> empregado pela TROB	67
5.7	Esquema de alimentação utilizado pela TROB	68
5.8	Conectores de saída da TROB	68
5.9	Circuito utilizado para simulação do estágio analógico	69
5.10	Simulação da resposta transiente do estágio analógico da TROB a um pulso do TileCal	70
5.11	Resposta em frequência do estágio analógico	71
6.1	Alguns testes executados com auxílio do MobiDICK4	74
6.2	Versão final da Trigger Read Out Board	76
6.3	Um pulso proveniente de uma das Torres de Trigger do Tile, adquirido com o auxílio do MobiDICK4	76
6.4	Teste de linearidade para um dos canais da TROB	77
6.5	A partir da união de vários pulsos com carga injetada em diferentes momentos, pode-se reconstruir o pulso do Tile com uma maior resolução temporal	79
6.6	Módulo EBA54 - Distribuição e desvio padrão de ruído dos 4 canais de interesse ao projeto Tile-Muon. Dados obtidos com o auxílio do MobiDICK4	80
6.7	Autocorrelação do ruído	81
6.8	Densidade Espectral de Potência do ruído	82
6.9	Correlação cruzada	82
6.10	Valor RMS do ruído para os 4 canais da camada D de cada módulo EBA do TileCal. Extraído de [84]	83
6.11	Densidade Espectral de Potência para os 4 canais do módulo EBA55, evidenciando amplo domínio de uma fonte extra de ruído no canal D6L	83

6.12	MobiDICK4 em uso	84
A.1	O sistema de coordenadas do ATLAS	96
B.1	<i>Layout</i> do estágio analógico de um dos canais da TROB	98
B.2	Ideia geral do fluxo de sinais na TROB	98
B.3	Formato final do PCB, recortado dessa maneira para respeitar os limites de altura impostos por alguns componentes da placa mãe	99
B.4	Estágio avançado do <i>layout</i> da TROB, com destaque para as trilhas e o uso de serpentinas na equalização	100
B.5	Inclusão do circuito de fornecimento de potência, no canto superior esquerdo	101
B.6	Bottom layer da TROB, utilizada principalmente para distribuição de <i>clock</i> e dos sinais de modo comum	102
B.7	Um dos planos internos da TROB, dedicado à distribuição de energia	103
B.8	<i>Layout</i> finalizado da TROB	103

Lista de Tabelas

4.1	<i>Pinout</i> do <i>patch pannel</i> utilizado para os cabos de <i>trigger</i>	50
4.2	<i>Pinout</i> do <i>patch pannel</i> utilizado pelos barramentos CAN	51
5.1	Características do pulso proveniente do Somador, antes e após sua passagem pelo estágio analógico da TROB	70
6.1	Comparativo de dimensões e peso entre a terceira e a quarta versão do MobiDICK	73

Lista de Abreviaturas

ADC	Conversor Analógico-Digital, do inglês <i>Analog-to-Digital Converter</i>
ALICE	do inglês <i>A Large Ion Collider Experiment</i>
ATLAS	do inglês <i>A Toroidal Lhc ApparatuS</i>
ATX	do inglês <i>Advanced Technology eXtended</i>
BC	do inglês <i>Bunch Crossing</i>
BPM	do inglês <i>BiPhase Mark</i>
CAN	do inglês <i>Controller Area Network</i>
CERN	Organização Europeia para Pesquisa Nuclear, originalmente do francês <i>Conseil Européen pour la Recherche Nucléaire</i> e posteriormente modificado para o inglês <i>European Organisation for Nuclear Research</i>
CIS	Sistema de injeção de Carga, do inglês <i>Charge Injection System</i>
CI	Circuito Integrado
CMS	do inglês <i>Compact Muon Solenoid</i>
CRC	Checagem Cíclica de Redundância, do inglês <i>Cyclic Redundancy Check</i>
CSC	do inglês <i>Cathode Strip Chamber</i>
DAC	Conversor Digital-Analógico, do inglês <i>Digital-to-Analog Converter</i>
DC	Corrente Contínua, do inglês <i>Direct Current</i>

DMU	Unidade Gerenciadora de Dados, do inglês <i>Data Management Unit</i>
EBA	Barril Estendido Lado A, do inglês <i>Extended Barrel A side</i>
EBC	Barril Estendido Lado C, do inglês <i>Extended Barrel C side</i>
EDK	do inglês <i>Embedded Developer's Kit</i>
EEPROM	do inglês <i>Electrically Erasable Programmable Read-Only Memory</i>
FIFO	do inglês <i>First In, First Out</i>
FLVPS	do inglês <i>finger Low Voltage Power Supply</i>
FPGA	do inglês <i>Field Programmable Gate Array</i>
GPIO	I/O de Propósito Geral, do inglês <i>General Purpose Input/Output</i>
GUI	Interface Gráfica de Usuário, do inglês <i>Graphical User Interface</i>
HL-LHC	do inglês <i>High Luminosity LHC</i>
HLT	Trigger de Alto Nível, do inglês <i>High Level Trigger</i>
HV	Alta Tensão, do inglês <i>High Voltage</i>
I/O	Entrada e Saída, do inglês <i>Input/Output</i>
ID	Detector Interno, do inglês <i>Inner Detector</i>
IP	Propriedade Intelectual, do inglês <i>Intellectual Property</i>
ISE	do inglês <i>Integrated Software Environment</i>
L1A	Aceitação do Nível 1, do inglês <i>Level 1 Accept</i>
L1	Nível 1 de trigger, do inglês <i>Level 1 trigger</i>
L2	Nível 2 de trigger, do inglês <i>Level 2 trigger</i>
LAr	Argônio Líquido, do inglês <i>Liquid Argon</i>
LBA	Barril Longo Lado A, do inglês <i>Long Barrel A side</i>
LBC	Barril Longo Lado C, do inglês <i>Long Barrel C side</i>

LCD	Display de Cristal Líquido, do inglês <i>Liquid Crystal Display</i>
LED	Diodo Emissor de Luz, do inglês <i>Light-Emitting Diode</i>
LHC	Grande colisionador de hádrons, do inglês <i>Large Hadron Collider</i>
LHCb	do inglês <i>Large Hadron Collider beauty experiment</i>
LHCf	do inglês <i>Large Hadron Collider forward experiment</i>
LSB	Bit Menos Significativo, do inglês <i>Least Significant Bit</i>
LS	Longa Parada, do inglês <i>Long Shutdown</i>
LVDS	do inglês <i>Low-Voltage Differential Signaling</i>
LV	Baixa Tensão, do inglês <i>Low Voltage</i>
MDT	do inglês <i>Monitored Drift Tubes</i>
MSB	Bit Mais Significativo, do inglês <i>Most Significant Bit</i>
MS	Espectrômetro de Múons, do inglês <i>Muon Spectrometer</i>
MobiDICK	Sistema Móvel de Checagem da Integridade das Gavetas, do inglês <i>Mobile Drawer Integrity CheckIng system</i>
PCB	Placa de Circuito Impresso, do inglês <i>Printed Circuit Board</i>
PLB	Barramento Local de Processamento, do inglês <i>Processor Local Bus</i>
PLL	do inglês <i>Phase-Locked Loop</i>
PMT	Tubo-Fotomultiplicador, do inglês <i>Photo Multiplier Tube</i>
PSD	Densidade Espectral de Potência, do inglês <i>Power Density Spectrum</i>
RAM	Memória de Acesso Aleatório, do inglês <i>Random Access Memory</i>
RISC	Computador com um Conjunto Reduzido de Instruções, do inglês <i>Reduced Instruction Set Computer</i>
RPC	Câmaras de Prato Resistivo, do inglês <i>Resistive Plate Chambers</i>

SERDES	do inglês <i>Serialize/Deserialize</i>
SFP	do inglês <i>Small Form-factor Pluggable</i>
TCP/IP	do inglês <i>Transmission Control Protocol/Internet Protocol</i>
TGC	do inglês <i>Thin-Gap Chambers</i>
TOTEM	do inglês <i>TOTAL Elastic and diffractive cross section Measurement</i>
TQFP	do inglês <i>Thin Quad Flat Pack</i>
TROB	do inglês <i>Trigger Read Out Board</i>
TTC	do inglês <i>Timing Trigger and Control</i>
TTL	do inglês <i>Transistor-Transistor Logic</i>
TileCal, Tile	Calorímetro hadrônico de telhas, do inglês <i>hadronic Tile Calorimeter</i>
USA	do inglês <i>Underground Service Area</i>
USB	do inglês <i>Universal Serial Bus</i>
VHDL	do inglês <i>Very high speed integrated circuits Hardware Description Language</i>
VME	Módulo Versa Eurocard, do inglês <i>Versa Module Eurocard</i>

Lista de Símbolos

A	Ampère
Hz	Hertz
Kg	Quilograma
MHz	Mega Hertz
Pt	Momento Transverso
TeV	Tera eletron-Volt
V	Volt
η	Pseudo rapidez
μJ	Micro Joule
$^{\circ}C$	Graus Celsius
atm	Pressão atmosférica
cm	Centímetros
km	Quilômetro
m	Metros
ns	Nano segundos

Capítulo 1

Introdução

Com a imposição de novos requisitos e restrições, os sistemas de medição atuais têm se tornado cada vez mais complexos, especialmente do ponto de vista da eletrônica e sensores utilizados. Dessa forma, este tem se mostrado um vasto campo para o desenvolvimento de novos métodos nas áreas de instrumentação eletrônica e processamento de sinais.

Este é o caso dos modernos experimentos de física de altas energias, que frequentemente apoiam-se em complexas máquinas e instrumentos, visando à medição de parâmetros e propriedades de partículas subatômicas. Nesse contexto, destacam-se o acelerador de partículas denominado LHC e um de seus principais detectores, o ATLAS, controlados pelo centro de pesquisas CERN.

O LHC está em operação desde 2009 e é o mais energético acelerador de partículas do mundo. Ainda assim, existe um programa de atualização (*upgrade*) do acelerador, que visa aumentar a taxa e a energia das colisões até 2023, quando, em referência ao aumento da luminosidade, passará a ser chamado de HL-LHC.

O programa de *upgrade* do LHC é dividido em três fases, que são precedidas por extensas paradas técnicas. A primeira parada técnica (LS1) do LHC está atualmente em curso e se estende até o final de 2014, com reparos em vários componentes eletrônicos e a instalação dos primeiros protótipos que serão utilizados nos novos detectores. Após essa parada, entraremos no período denominado Fase 0, em que o acelerador alcançará picos de luminosidade de $10^{34} \text{ cm}^{-2}\text{s}^{-1}$. A segunda longa parada técnica (LS2) está planejada para 2018-2019. Após a LS2, na Fase 1, o pico de luminosidade aumentará de duas a três vezes, o que corresponde a aproximadamente 80 interações por colisão, com intervalo entre colisões de 25 ns. Diversas atualizações serão necessárias na Fase 1, a qual já deve estar totalmente compatível com o programa de física do HL-LHC. As atualizações da Fase 2 estão previstas para serem realizadas em 2022-2023, preparando o acelerador para picos de luminosidade de $7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$. Durante este período, as versões finais dos componentes eletrônicos

de cada detector deverão ser instaladas.

Acompanhando esse programa de atualização, a colaboração de cientistas responsável pelo ATLAS vem trabalhando nas mudanças que serão necessárias no detector para prepará-lo para o HL-LHC. Para lidar com o aumento da luminosidade, destaca-se a necessidade de profundas mudanças na eletrônica de aquisição (*front-end*) e no sistema de seleção de eventos (*trigger*).

O trabalho aqui descrito se insere no programa de atualização do ATLAS, através do desenvolvimento de sistemas eletrônicos para a Fase 0 do *upgrade*.

O Calorímetro Hadrônico de Telhas, ou TileCal, é um dos subdetectores do ATLAS. O trabalho apresentado nesta dissertação está ligado a este calorímetro e por isso uma descrição detalhada de sua estrutura será apresentada em um capítulo posterior. No entanto, podemos antecipar o fato de que, para atingir seus objetivos, o TileCal conta com um complexo conjunto de componentes eletrônicos, processando simultaneamente informação proveniente de milhares de canais de leitura.

Obviamente, esta vasta gama de componentes eletrônicos está sujeita a pontuais falhas de funcionamento. A situação é agravada pelo longo tempo de atividade do detector, que opera de forma quase ininterrupta, e pela sua constante exposição a altos níveis de radiação. O tema assume particular importância quando se considera a dificuldade de acesso ao TileCal, localizado numa caverna 100 metros abaixo da superfície e montado juntamente a outros detectores. Finalmente, observa-se ainda que, devido ao risco de contaminação por radiação, qualquer tipo de reparo ou modificação no detector só pode ser realizado quando o LHC se encontra desligado, geralmente apenas algumas semanas por ano.

Portanto, fica evidente a importância da existência de um sistema dedicado à verificação da eletrônica do TileCal. Com este propósito, foi desenvolvido o MobiDICK. Este sistema portátil permite que toda a eletrônica do calorímetro seja testada, indicando de forma automática componentes defeituosos ou falhas de comunicação. Além disso, a partir dos dados que podem ser adquiridos com o MobiDICK, diversas análises de desempenho da eletrônica do TileCal podem ser feitas.

Desde 2003, 3 versões do MobiDICK foram desenvolvidas, todas muito semelhantes entre si. Todas as versões funcionam perfeitamente e são utilizadas até os dias de hoje, mais de 10 anos após sua concepção. Nesse tempo, o MobiDICK se tornou uma ferramenta essencial para a realização de qualquer intervenção física no detector.

O início do programa de *upgrade* do ATLAS, e conseqüentemente do TileCal, trouxe a necessidade de desenvolvimento de uma nova versão do MobiDICK, diferente das anteriores. Esta nova variante deve não apenas aprimorar as versões anteriores, mas também ser desenvolvida pensando na nova eletrônica de *front-end*, que já deverá ser testada em 2014.

Com o aumento da luminosidade imposto pelo *upgrade*, novos desafios também são apresentados ao sistema de validação de eventos (*trigger*) do ATLAS. Esse sistema de validação, tem como principal objetivo selecionar eventos de interesse em meio a todos os subprodutos de colisões no interior do LHC, tarefa que é dificultada pela imensa quantidade de ruído de fundo do experimento. O LHC foi projetado para que colisões ocorram a cada 25 ns, ou seja, uma taxa de 40 MHz. Entretanto, o sistema de *trigger* tem a função de reduzir esta taxa para até 200 Hz, preservando somente os eventos mais importantes. O aumento da luminosidade acarreta o aumento do número de interações por colisão, ocupando mais o detector e, conseqüentemente, dificultando a tarefa do sistema de validação de eventos.

Desta forma, estudos para a melhora da eficiência do sistema de filtragem de eventos têm sido desenvolvidos nos últimos dois anos, de forma que as taxas de *trigger* possam ser mantidas mesmo com o aumento da luminosidade nas diferentes fases de *upgrade* do LHC.

No início de 2013, foram iniciados novos estudos, visando a utilização de um sinal do TileCal para melhorar a eficiência da identificação de múons. Este sistema, que deve ser instalado no ATLAS já para a Fase 0 do programa de atualização, foi denominado Tile-Muon. Seu principal objetivo é reduzir as taxas de falso alarme de múons no ATLAS, ao utilizar um sinal do TileCal para coincidência com o sistema de detecção de múons.

1.1 Descrição do Trabalho Realizado

Dentro do contexto da Fase 0 do *upgrade* do TileCal, esta dissertação apresentará contribuições para o desenvolvimento de dois novos sistemas eletrônicos: a nova versão do MobiDICK, chamada MobiDICK4, e o projeto Tile-Muon.

Em relação ao MobiDICK4, participamos da concepção do sistema como um todo e, de forma mais específica, desenvolvemos a parte responsável pela aquisição e análise dos sinais de *trigger* do TileCal.

No contexto do projeto Tile-Muon, participamos das análises que mostraram a eficiência e a viabilidade da proposta, da definição de requisitos e também do desenvolvimento do *hardware* necessário para o processamento do sinal de múons do TileCal.

Juntando os dois principais tópicos, a partir da utilização do MobiDICK4 realizamos o comissionamento do sinal de múons do TileCal e analisamos as características mais importantes deste sinal, visando especificá-lo de forma adequada para o desenvolvimento dos algoritmos de detecção e estimação de energia que serão utilizados no projeto Tile-Muon.

1.2 Visita Guiada

Devido à singularidade do ambiente em que o trabalho foi desenvolvido, é cabível uma breve introdução sobre o laboratório CERN, o acelerador LHC e o ATLAS. Esta contextualização será apresentada no próximo capítulo, com o intuito de conferir ao leitor maior familiaridade com o tema abordado. Ainda neste capítulo, será apresentada uma descrição detalhada do TileCal, focando principalmente nos componentes eletrônicos responsáveis pela aquisição dos dados de colisão de partículas.

O Capítulo 3 abordará o projeto Tile-Muon, discorrendo sobre os requisitos e desafios dessa proposta e os possíveis ganhos a serem proporcionados. Também falaremos sobre a Receiver Board, uma placa de circuito impresso desenvolvida pelo nosso grupo especialmente para esse projeto e cuja finalidade será receber e digitalizar os sinais de múon do Tile, além de implementar os filtros responsáveis pela detecção dessas partículas.

No Capítulo 4, daremos início à descrição do sistema móvel de testes eletrônicos que foi desenvolvido. Começaremos expondo brevemente os sistemas anteriores e a motivação para o desenvolvimento de uma nova versão. Seguirá o detalhamento do novo *hardware*, tanto as partes comerciais como aquelas construídas especificamente para o projeto. Isto incluirá desde placas de circuitos impresso, passando pelo computador utilizado e até os componentes mecânicos e cabeamento empregados. Passamos então para uma descrição da *firmware*. Aqui, será abordada a arquitetura da placa mãe, o processador utilizado, e os *IP Cores* desenvolvidos. Também serão descritos todos os ajustes de *software* que se fizeram necessários para comportar o novo *hardware*. Ao final do capítulo serão detalhados todos os testes que o MobiDICK4 é capaz de realizar.

O Capítulo 5, apresenta em maiores detalhes uma peça de *hardware* de grande importância para o MobiDICK4, a Trigger Read Out Board. Este mezzanino foi desenvolvido especialmente para este projeto e sua função é pré-processar toda a informação analógica proveniente do TileCal, conformando-a para níveis de tensão adequados, digitalizando estes dados e finalmente disponibilizando-os para a placa mãe. Além de uma visão geral da placa, descrevendo todos os requisitos que ela deve atender e suas funcionalidades, seções separadas serão dedicadas à descrição dos esquemáticos e às simulações computacionais do estágio analógico. O *layout* do PCB será apresentado no Apêndice B.

No Capítulo 6, serão apresentados resultados relativos aos sistemas eletrônicos desenvolvidos. Serão mostrados exemplos de alguns testes feitos com o MobiDICK4 e um comparativo de dimensões com as versões anteriores do sistema. Prosseguimos mostrando resultados de performance da Trigger Read Out Board e exemplos de

sinais adquiridos com esse mezzanino. Ao final do capítulo, será apresentado um importante estudo sobre dados obtidos com o auxílio do MobiDICK4, que estão sendo usados no comissionamento da saída de múons do TileCal.

Finalmente, no Capítulo 7 serão apresentadas as conclusões finais desta dissertação.

Capítulo 2

Contextualização

Quando tratamos de física de altas energias, o laboratório CERN tem posição de destaque no cenário mundial. Igualmente, o LHC é o colisionador de partículas mais energético do planeta, sendo um dos maiores e mais complexos experimentos já construído pelo homem.

Neste capítulo, abordaremos estes assuntos de forma branda, objetivando unicamente deixar o leitor mais confortável com o tema do trabalho que será apresentado ao longo desta dissertação. Trataremos ainda do ATLAS, um dos principais experimentos do LHC, citando todos os subdetectores que o compõem.

O final do capítulo será composto por uma descrição bem mais detalhada do TileCal, calorímetro em que o autor trabalhou durante sua estadia no CERN. Aqui serão descritos os blocos que compõem a eletrônica deste subdetector, assunto de grande importância para a continuidade do documento.

2.1 CERN

Em 1952, com o objetivo de criar uma organização de pesquisa em Física Nuclear de alto nível na Europa, foi criado o Conselho Europeu para Pesquisa Nuclear (CERN, do francês *Conseil Européen pour la Recherche Nucléaire*). A partir deste conselho, em 1954 foi criada a Organização Europeia para Pesquisa Nuclear (*European Organization for Nuclear Research*) [1], mas o acrônimo CERN foi mantido.

O laboratório se estabeleceu em Genebra, próximo à fronteira franco-suíça, e logo adquiriu importância mundial no cenário de Física de Partículas. Atualmente, a organização é composta por 21 países membros e emprega aproximadamente 2500 pessoas. No entanto, mais de 10000 cientistas participam dos trabalhos realizados no CERN, representando cerca de 600 universidades e institutos e o envolvimento de 113 nações, que contribuem com as pesquisas do laboratório nas mais variadas

maneiras. Na Figura 2.1, pode-se observar uma fotografia do laboratório.



Figura 2.1: Vista aérea do laboratório CERN, cruzando a fronteira franco-suíça

Algum tempo após a criação da organização, os cientistas compreenderam que estudar apenas o núcleo dos átomos, com prótons, elétrons e nêutrons [2], não era suficiente. Era preciso explorar questões ainda mais fundamentais, buscando os constituintes básicos da matéria: as partículas elementares.

Na busca por um entendimento cada vez mais preciso e detalhado destas estruturas, foi desenvolvido o Modelo Padrão das Partículas Fundamentais e das Interações [3]. Este modelo prevê a classificação das partículas que formam a matéria em três famílias: os léptons, os quarks e os bósons. Uma ilustração destas famílias e suas partículas é mostrada na Figura 2.2.

No entanto, muitas dessas partículas são difíceis de serem observadas, sendo necessário o envolvimento de uma grande quantidade de energia para que a tarefa seja realizada com sucesso [4]. Uma das formas de atingir estas elevadas energias é através dos aceleradores de partículas [5, 6]. Estes instrumentos aceleram feixes de partículas estáveis, como prótons ou nêutrons, até altíssimas energias, quando são então levados a colidir entre si ou contra alvos estáticos.

Quanto maior a energia entregue aos feixes antes da colisão, maior a eficiência na produção de partículas elementares. Tendo este ponto em mente, foi construído no CERN o LHC.

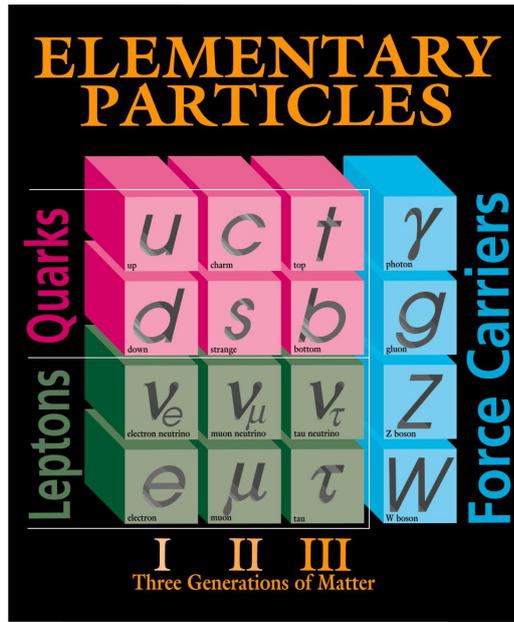


Figura 2.2: Partículas elementares previstas pelo Modelo Padrão, divididas em 3 famílias: léptons, quarks e bósons

2.2 LHC

O Grande Colisionador de Hádrons (LHC, do inglês *Large Hadron Collider*) [7] é o maior e mais energético acelerador de partículas já construído. Localizado na fronteira entre a França e a Suíça, em um túnel escavado a mais de 100 metros de profundidade, este acelerador tem formato circular, com 27,4 km de circunferência. O território ocupado por esta máquina pode ser visto na Figura 2.3.



Figura 2.3: Ilustração do território ocupado pelo LHC

Devido à grandeza de sua estrutura, e às rigorosas condições a que está submetido, o LHC representa enormes desafios de engenharia. Alguns números ajudam a compreender a dimensão desta empreitada [8]:

- A pressão interna do LHC é de 10^{-13} atm, 10 vezes menor que a pressão na lua;
- O sistema de distribuição criogênico, que circula hélio superfluido pelo LHC, deve manter o acelerador numa temperatura de $-271,3$ °C, mais frio que o espaço;
- Em contrapartida, serão geradas dentro do colisionador, temperaturas até 100.000 vezes maiores do que aquelas encontradas no centro do sol;
- Quando em plena potência, os prótons atingirão 99,9999991% da velocidade da luz, acarretando energias de colisão de até 14 TeV ($0,16 \mu\text{J}$).



Figura 2.4: Visão do interior da caverna do LHC. Extraído de [9]

Ao recriar condições próximas às do Big Bang, espera-se que o LHC possa ajudar a validar, ou rejeitar, as previsões descritas no Modelo Padrão. Além disso, espera-se que os resultados obtidos pelo acelerador tragam luz sobre algumas questões fundamentais da física ainda não respondidas: Por que existe mais matéria do que anti-matéria no universo? Existem outras dimensões que desconhecemos? Por

que a força gravitacional é tão fraca perto das outras? Serão encontradas evidências da teoria conhecida por Supersimetria? Que tipo exótico de física pode ser encontrada em energias tão altas?

Para responder a estas e outras questões, os aceleradores de partículas têm o auxílio dos detectores de partículas [10]. Enquanto a função do primeiro é possibilitar a criação de partículas raras e instáveis, os detectores são os instrumentos responsáveis pela observação e identificação dessas partículas.

Particularmente, o LHC conta com 4 principais detectores para aquisição dos resultados das colisões: o ATLAS (do inglês *A Toroidal Lhc ApparatuS*), o CMS (do inglês *Compact Muon Solenoid*), o ALICE (do inglês *A Large Ion Collider Experiment*) e o LHCb (do inglês *Large Hadron Collider beauty experiment*), ilustrados na Figura 2.5.

O ATLAS e o CMS [11] são detectores de propósito geral, projetados para estudar o maior número possível de eventos físicos que ocorrerão no LHC, desde a busca pelo bóson de Higgs, identificado em 2012 [12], até o estudo de supersimetria e dimensões extras. O ALICE [13] é um experimento especializado em colisões de íons de chumbo, uma alternativa aos prótons. Seu principal objetivo é o estudo das propriedades do plasma de quark-gluon, um estado da matéria que, acredita-se, só existiu por poucos instantes após o Big Bang. O LHCb [14] focará suas pesquisas na aparente assimetria existente entre matéria e anti-matéria em nosso universo. Existem ainda outros dois experimentos auxiliares, o TOTEM [15] e o LHCf [16]. Bem menores em tamanho, estes detectores estão localizados nas mesmas cavernas do CMS e do ATLAS, respectivamente. Eles foram projetados para analisar partículas que apresentam pouco desvio em relação à trajetória original do feixe.

2.3 ATLAS

O detector ATLAS [17] é um dos principais experimentos do LHC, sendo resultado de uma colaboração internacional de aproximadamente 3000 físicos e engenheiros de 174 institutos em 38 países. O ATLAS apresenta uma construção na superfície, onde tem-se uma sala de controle do experimento, e outra subterrânea que é dividida em duas cavernas:

- *UX15*: caverna principal, onde está localizado o detector propriamente dito, com todos os elementos necessários para amostrar os resultados das colisões
- *USA15*: caverna auxiliar, responsável por alocar os componentes que não precisam estar dentro do detector e necessitam de maior proteção contra radiação, como computadores, sistema de resfriamento, etc.

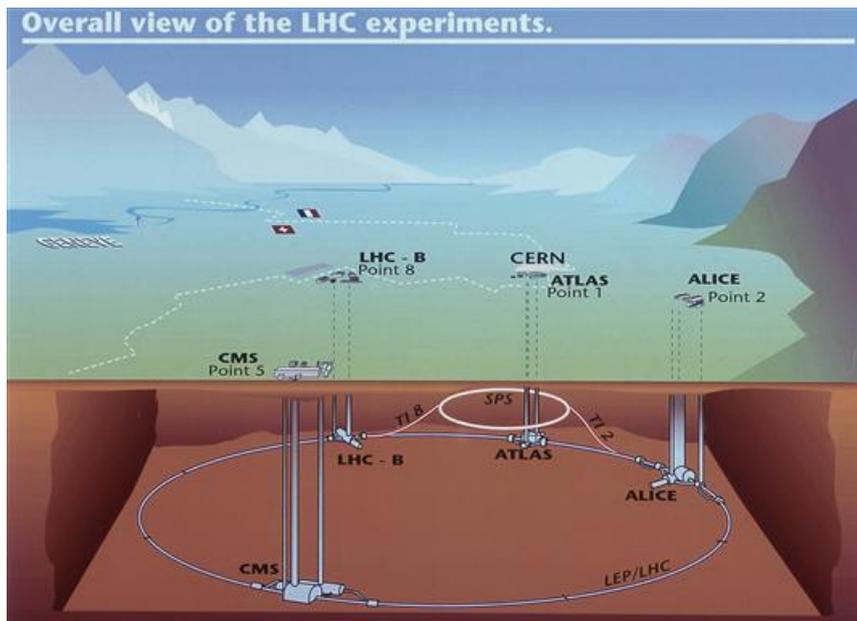


Figura 2.5: Representação dos principais detectores do LHC, localizados nos pontos onde ocorrem as colisões de partículas. Extraído de [9]

Na caverna principal, localizada 100 metros abaixo da superfície, o ATLAS tem 25 metros de diâmetro, 46 metros de comprimento e um peso total de 7 mil toneladas. Uma ilustração do detector pode ser vista na Figura 2.6.

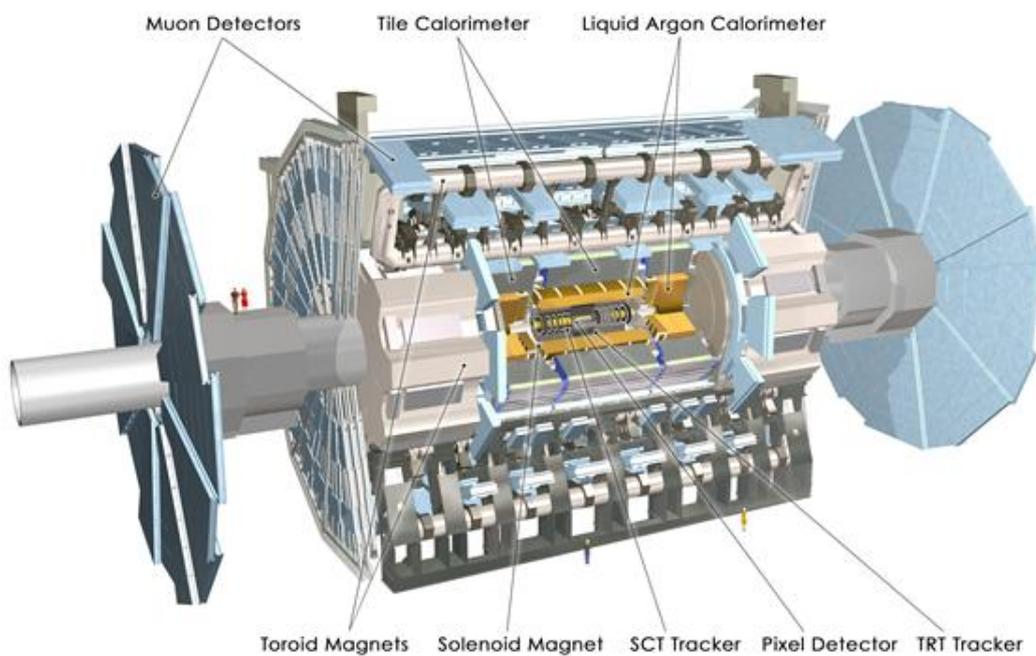


Figura 2.6: Ilustração do detector ATLAS, evidenciando os subdetectores que o compõem. Extraído de [9]

Atualmente, a maioria dos detectores é composta por diversas camadas, ou subdetectores, cada um especializado num tipo de partícula [10]; o ATLAS não é diferente.

Na região mais próxima do ponto de colisão, está localizado o Detector Interno (ID, do inglês *Inner Detector*) [18]. Seu objetivo é observar a trajetória percorrida pelas partículas após a colisão, permitindo calcular o vértice, ou ponto de partida da partícula, dentro do detector. Como está submetido a um intenso campo magnético, que causa uma curvatura na trajetória das partículas eletricamente carregadas, este detector também auxilia no cálculo da carga e do momento das partículas. O ID pode ser subdividido nos rastreadores de Pixel, de microfaixas de silício (SCT, do inglês *SemiConductor Tracker*) e de transição de radiação (TRT, do inglês *Transition Radiation Tracker*). Uma ilustração do ID pode ser vista na Figura 2.7.

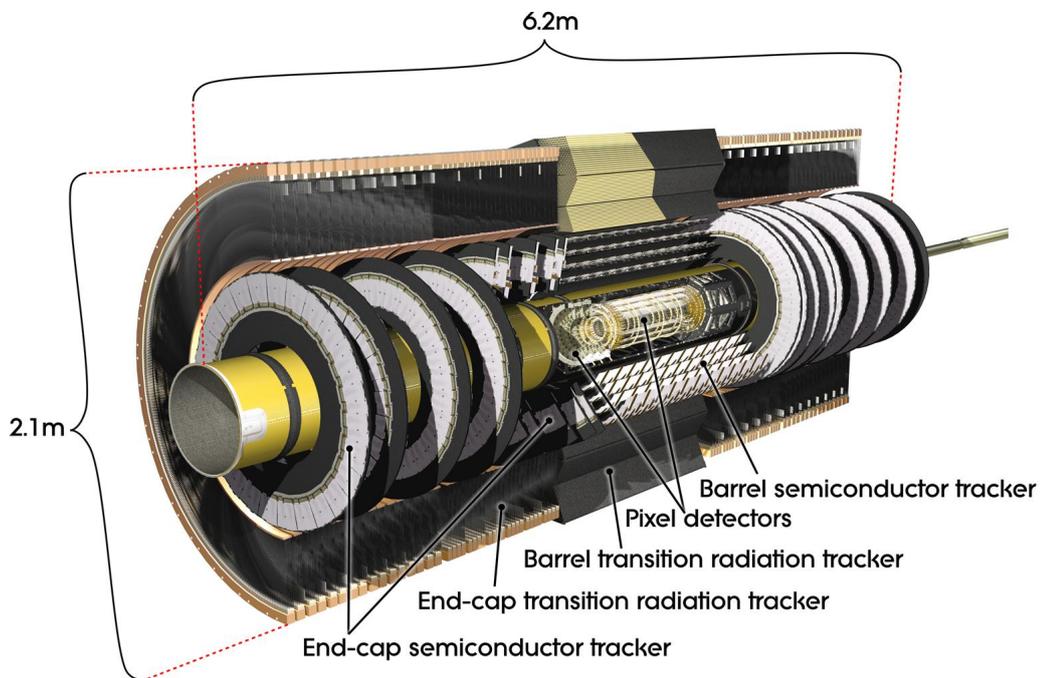


Figura 2.7: Vista em corte do Detector Interno do ATLAS. Extraído de [9]

Imediatamente exterior ao Detector Interno, está o sistema de calorimetria do ATLAS, representado na Figura 2.8. Este sistema está dividido nas seções eletromagnética e hadrônica e sua função é absorver e medir a energia das partículas incidentes.

O Calorímetro Eletromagnético [19], ou Argônio Líquido (LAr, do inglês *Liquid Argon*), é dividido em um barril central e duas tampas. Este calorímetro usa placas de chumbo como material absorvedor e eletrodos de chumbo imersos em argônio líquido como elementos amostradores. O LAr foi projetado para absorver aquelas partículas que interagem principalmente de forma eletromagnética, como elétrons,

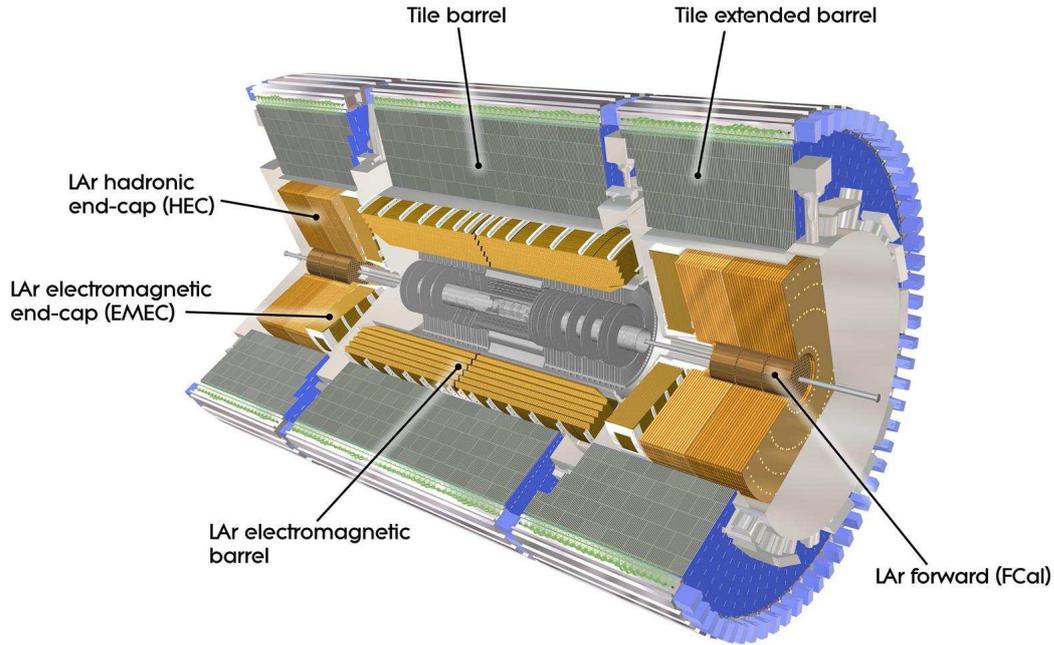


Figura 2.8: Ilustração do sistema de calorimetria do ATLAS. Extraído de [9]

fótons e pósitrons, permitindo medidas de alta precisão, tanto em energia quanto em posição. A Figura 2.9 mostra uma imagem gerada computacionalmente, ilustrando o LAr.

O Calorímetro Hadrônico é de especial importância para este trabalho, e será descrito em detalhes na Seção 2.5.

A parte mais externa do ATLAS, e também a maior em volume, é composta pelo Espectrômetro de Múons (MS, do inglês *Muon Spectrometer*) [20]. Múons são partículas relativamente pesadas, com uma massa 200 vezes maior do que a do elétron. Como efeito, este tipo de partícula pode atravessar todo o ATLAS sem ser absorvida. Por esta razão, foi projetado o MS, com a única finalidade de detectar a passagem destas partículas.

Assim como os calorímetros, o MS é dividido em um barril central e duas tampas, nas extremidades do detector. Para a identificação dos múons, são usadas câmaras de prato resistivo (RPC, do inglês *Resistive Plate Chambers*), e TGC (do inglês *Thin-Gap Chambers*). Para a medição do momento destas partículas, são usadas câmaras MDT (do inglês *Monitored Drift Tubes*) e CSC (do inglês *Cathode Strip Chamber*). De forma geral, essas câmaras possuem gases que são ionizados pela passagem de múons, liberando elétrons. Estes elétrons são captados por eletrodos, que geram um sinal elétrico em resposta. Uma visão geral do sistema de múons do ATLAS é ilustrada na Figura 2.10.

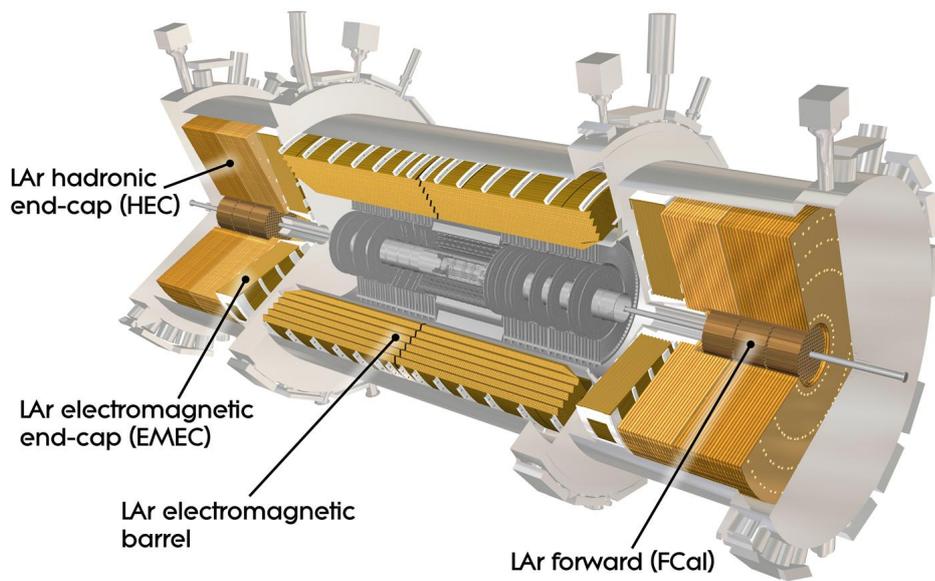


Figura 2.9: Ilustração do Calorímetro Eletromagnético do ATLAS. Extraído de [9]

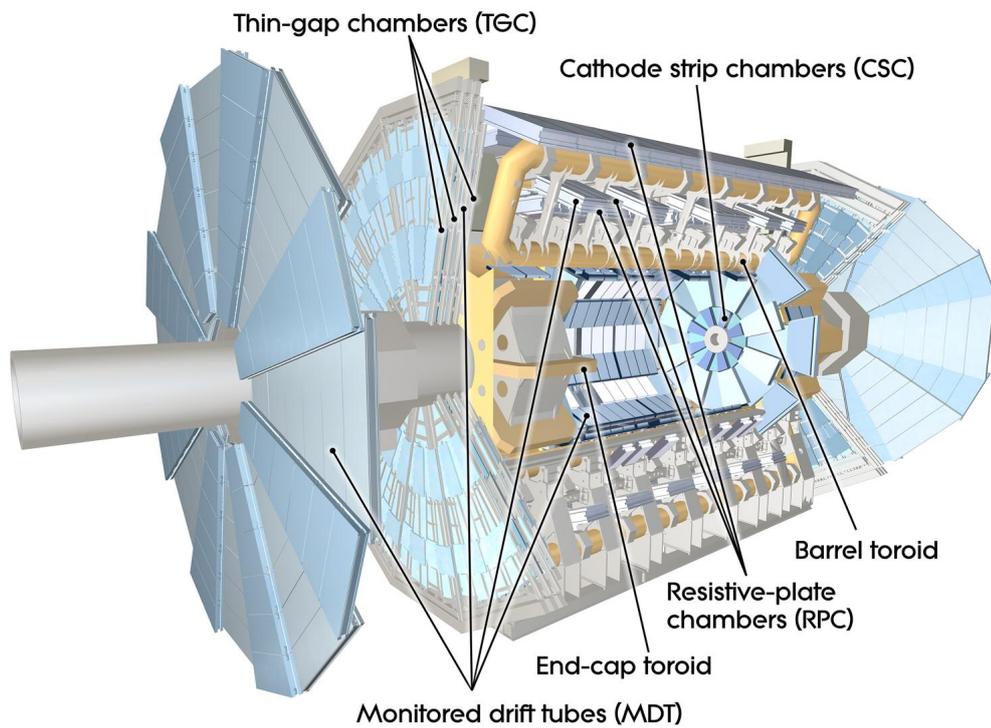


Figura 2.10: Ilustração do sistema de múons do ATLAS. Extraído de [9]

Na Figura 2.11 pode ser vista a importância especial de cada subdetector do ATLAS na observação dos diferentes tipos de partículas. Nas Figuras 2.12 e 2.13,

são mostrados exemplos de colisões ocorridas dentro do ATLAS.

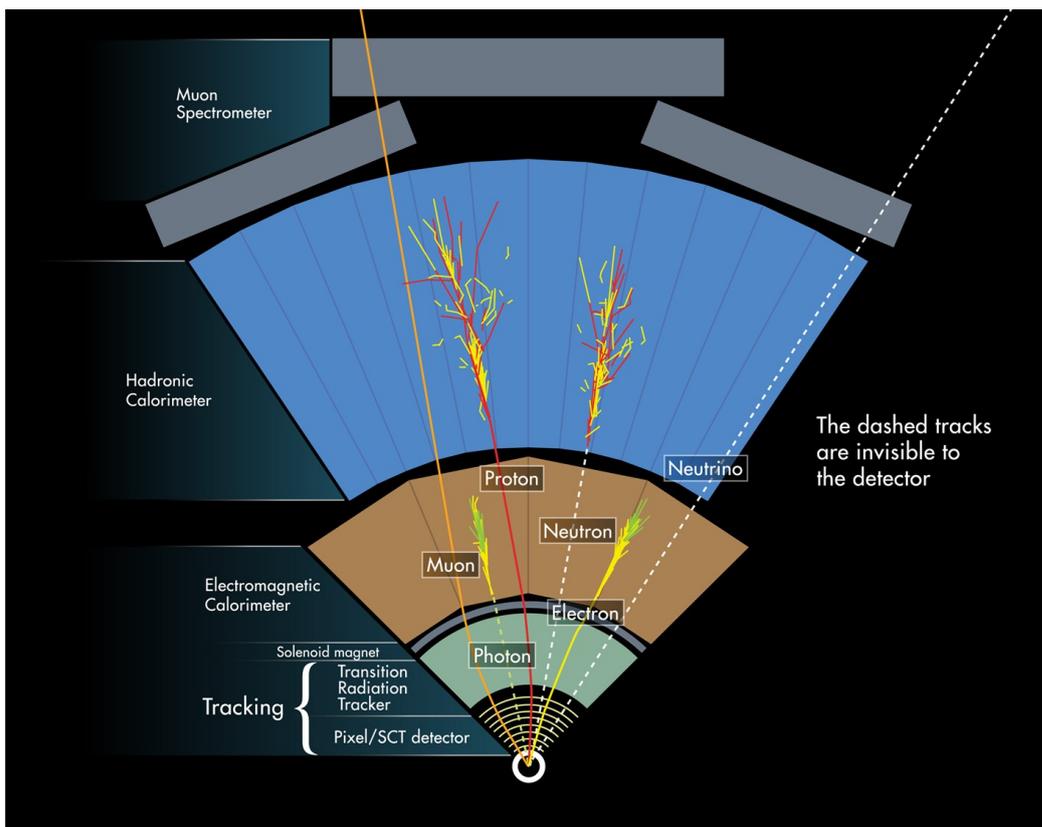


Figura 2.11: Forma como os diferentes tipos de partículas interagem com os subdetectores do ATLAS. Extraído de [9]

2.4 O sistema de trigger do ATLAS

Dentro do ATLAS ocorrerão colisões de partículas a cada 25 ns, com literalmente milhões de canais a serem lidos. Isto resulta numa quantidade colossal de dados sendo produzida a cada segundo de operação do LHC, tornando inviável o armazenamento de toda essa informação. Além disso, boa parte desses dados não são de grande interesse do ponto de vista da física, e analisá-los completamente tomaria tempo demais.

Por isto, é importante que exista um processo capaz de filtrar os eventos, selecionando apenas aqueles de maior importância física para serem salvos. Este é o sistema de *trigger* do ATLAS, ilustrado na Figura 2.14 e dividido em 3 níveis, cada um deles refinando o critério de seleção. O Nível 1 de *trigger* (L1, do inglês *Level 1 trigger*) [22], é implementado por *hardware*, através de componentes eletrônicos especialmente projetados com este propósito. Ele coleta informações com granularidade reduzida dos calorímetros e detectores de múon e realiza a filtragem através de

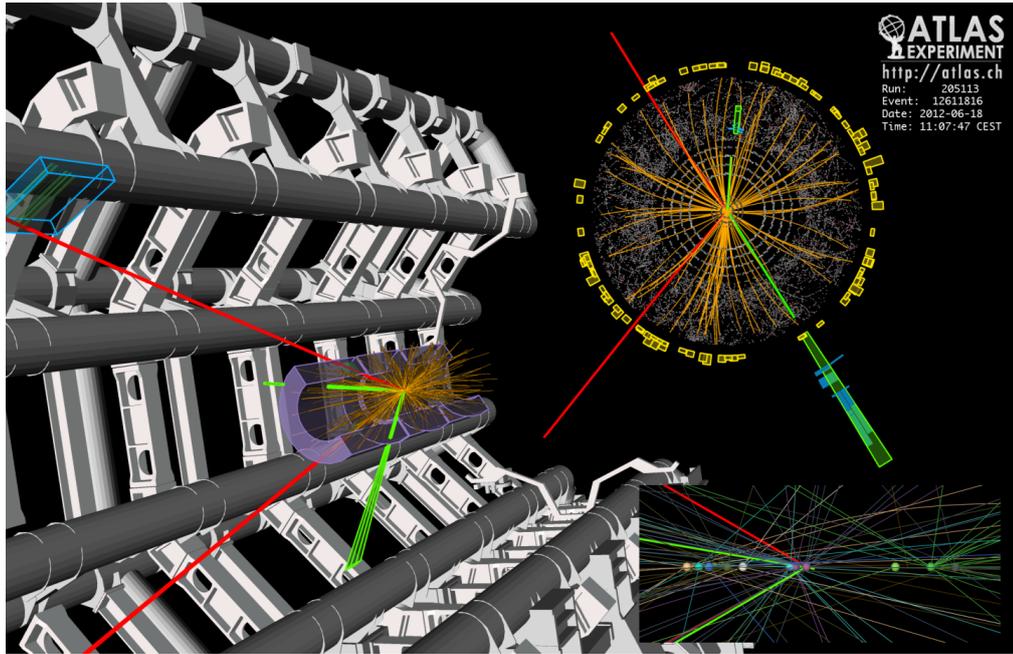


Figura 2.12: Ilustração de um evento gerado por colisão próton-próton no ATLAS. Em destaque estão a trajetória de 2 múons (vermelho) e 2 elétrons (verde), uma das possíveis formas de decaimento do Bóson de Higgs. Extraído de [21]

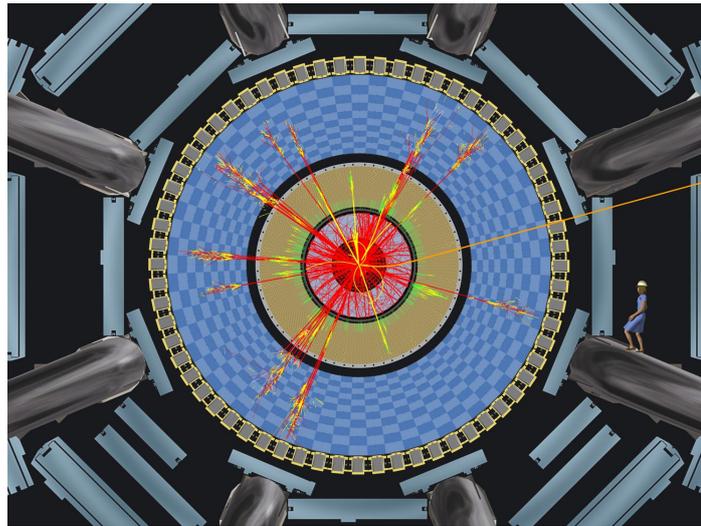


Figura 2.13: Ilustração de um evento gerado por colisão próton-próton no ATLAS, em que seria formado um microscópico buraco negro. Extraído de [9]

um menu de *trigger* contendo eventos de interesse pré-selecionados.

O Nível 2 de *trigger* (L2, do inglês *Level 2 trigger*) é baseado em *software* e usa informação completa dos detectores para reduzir ainda mais os eventos selecionados. O último nível é o Filtro de Eventos. Ele também é baseado em *software*, sendo responsável pela seleção final dos dados que serão armazenados. Combinados, os dois últimos níveis de *trigger* são conhecidos como Trigger de Alto Nível (HLT, do

inglês *High Level Trigger*) [23]. No total, o sistema de *trigger* do ATLAS é capaz de reduzir a taxa de eventos de 40 MHz para até 200 Hz.

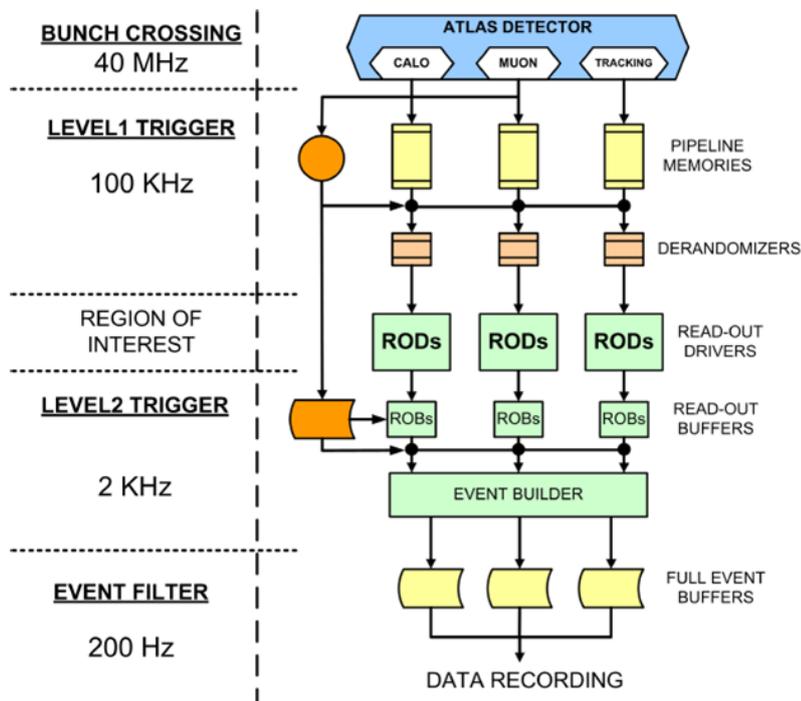


Figura 2.14: O sistema de trigger do ATLAS, utilizado na seleção de eventos

2.5 Calorímetro Hadrônico de Telhas

O Calorímetro Hadrônico de Telhas (TileCal, do inglês *Hadronic Tile Calorimeter*) [24] é um dos subdetectores do ATLAS, localizado imediatamente exterior ao Calorímetro Eletromagnético. Possui forma cilíndrica e é dividido fisicamente em um Barril Longo (LB, do inglês *Long Barrel*) e dois Barris Estendidos (EB, do inglês *Extended Barrel*), conforme ilustrado na Figura 2.15. O LB possui 5,8 m de comprimento e cada EB conta com 2,6 m. O raio cilíndrico interno do calorímetro, em relação ao ponto de colisão, é de 2,28 m, e o raio externo é de 4,24 m.

O TileCal, ou Tile, foi projetado para absorver as partículas mais propícias a interagir de forma hadrônica [25], como prótons, nêutrons e píons. Para esta finalidade, o TileCal utiliza placas de aço como material absorvedor. Quando os hádrons entram em contato com núcleos de átomos de aço, são liberados energia e outras partículas, que por sua vez podem interagir novamente com o aço gerando outras partículas, num processo conhecido como chuva de partículas [26]. Para amostrar a energia deste processo, são usadas telhas de material cintilante, que geram luz em

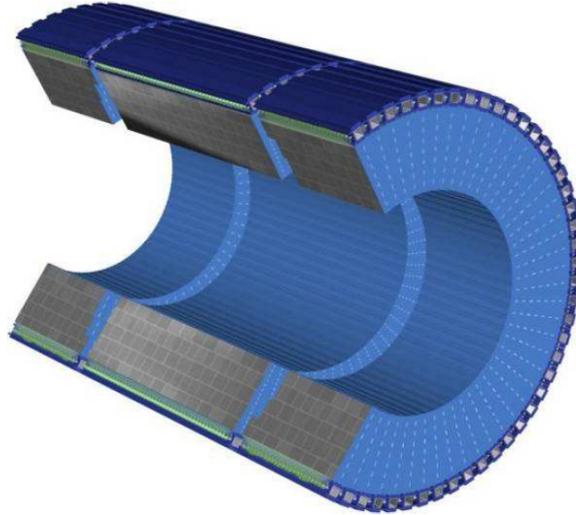


Figura 2.15: Visualização tridimensional do Calorímetro Hadrônico de Telhas

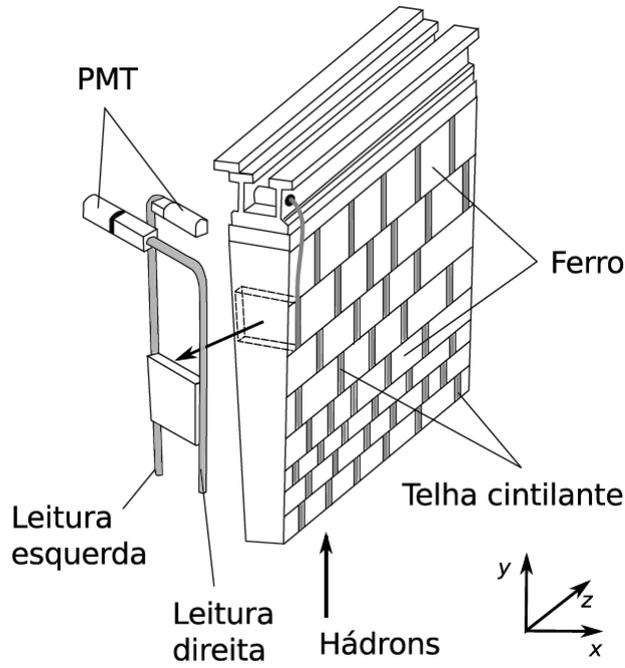
resposta a esse chuveiro. A luz produzida é coletada de ambos os lados da telha por fibras óticas, conforme ilustrado na Figura 2.16(a).

Um grupo de telhas forma uma *célula* do calorímetro. Estas células dividem o calorímetro tanto longitudinalmente quanto radialmente, provendo o detector de uma geometria tridimensional projetiva para *trigger* e reconstrução de energia. Um grupo de células forma um *módulo* do TileCal, que, conforme descrito anteriormente, pode ser do tipo Barril Longo ou Barril Estendido. Estes módulos, ilustrados na Figura 2.16(b), são como fatias do detector, e são necessários 64 deles (em cada uma das porções anteriormente mencionadas) para conferir ao TileCal sua estrutura cilíndrica. O Apêndice A apresenta maiores detalhes sobre a geometria e o sistema de coordenadas dos detectores do ATLAS.

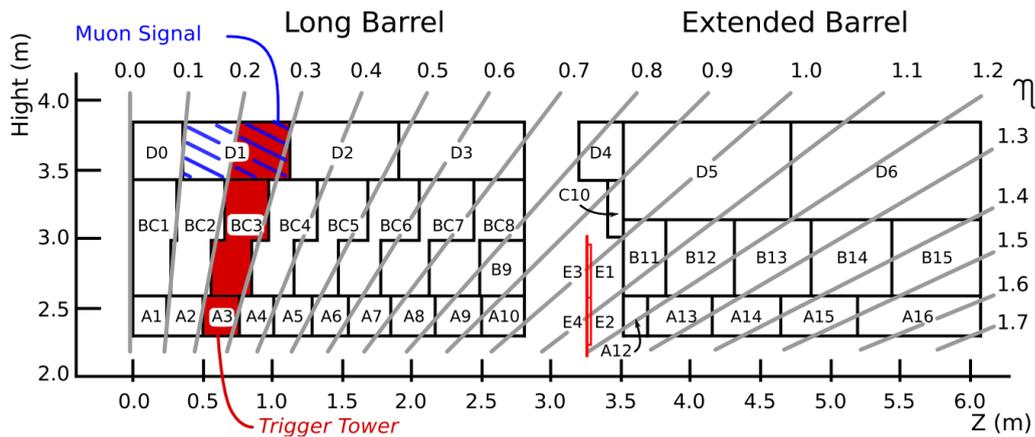
Na parte mais externa de cada módulo, pode ser encontrado o que é conhecido por "gaveta". As gavetas são estruturas compactas, contendo toda a eletrônica responsável pela leitura das informações fornecidas pelas células. Apesar de mecanicamente o Tile estar dividido em 3 partes, do ponto de vista das gavetas são 4. Isto ocorre porque são necessárias 2 gavetas para instrumentar um módulo do tipo Barril Longo.

Para consolidar o entendimento sobre a estrutura do TileCal, composto por módulos contendo telhas de material cintilante, e do que são as gavetas, o leitor pode referir-se à Figura 2.17.

Além da eletrônica da gaveta, ou eletrônica de *front-end*, o TileCal ainda conta com a eletrônica de *back-end*. Esta parte da eletrônica contribui principalmente com o sistema de aquisição e de *trigger* do ATLAS, estando localizada numa caverna separada do detector, a USA15. O acesso a esta caverna é bem mais fácil ao longo do ano, assim como a manutenção de seus componentes eletrônicos. A eletrônica de



(a) Estrutura utilizada para absorção e amostragem de energia no TileCal. Extraído de [27]



(b) Ilustração mostrando metade de um módulo LB e um módulo EB do TileCal, evidenciando a divisão em células e, em vermelho, o possível caminho percorrido por uma partícula. Extraído de [28]

Figura 2.16: Diferentes visões de um módulo do TileCal

back-end está fora do escopo deste trabalho e não será descrita em maiores detalhes. Porém, maiores informações podem ser encontradas em [24] e [30].

2.5.1 Eletrônica da gaveta

Nessa seção, será descrita a eletrônica da gaveta do TileCal, aquela utilizada para aquisição e processamento dos dados antes que eles sejam armazenados. Na

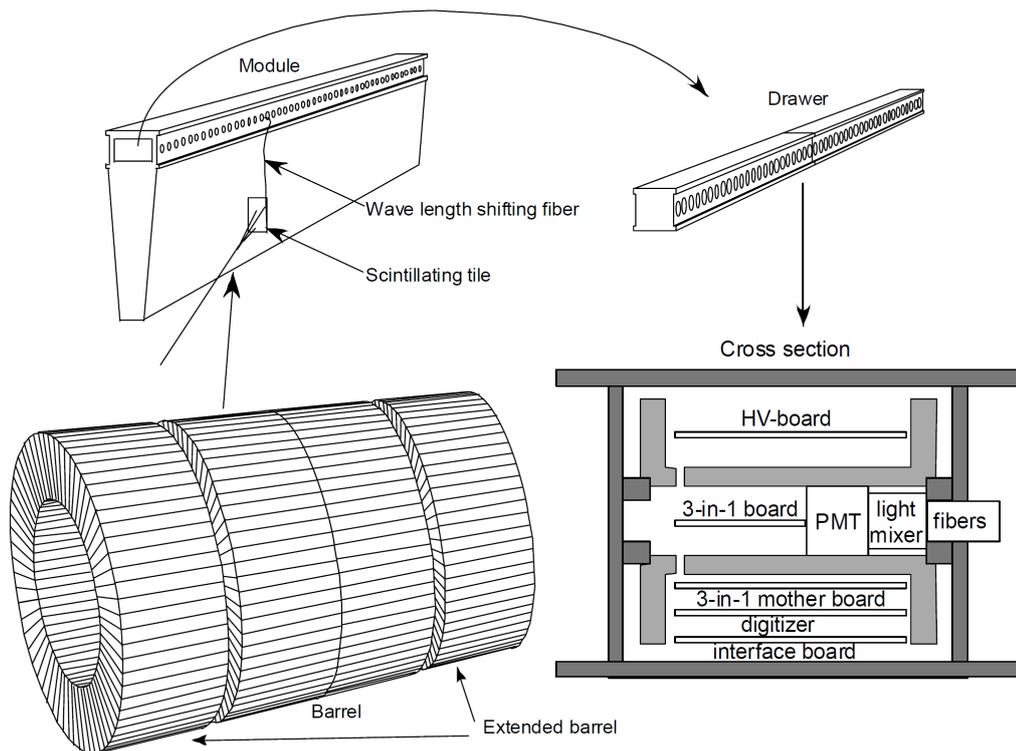


Figura 2.17: Ilustração da relação entre o TileCal, um de seus módulos e sua gaveta. Extraído de [29]

Figura 2.18 é mostrada uma foto de uma gaveta sendo retirada da base de um dos módulos do TileCal.

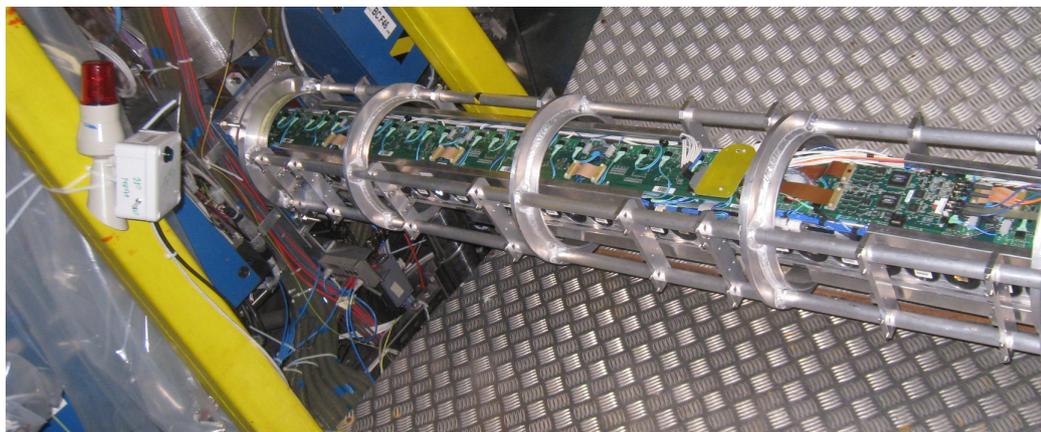


Figura 2.18: Foto de uma gaveta sendo retirada de um dos módulos do TileCal

Na Figura 2.19, é mostrado um diagrama em blocos dessa cadeia de componentes eletrônicos. Os principais blocos dessa figura serão descritos em mais detalhes nas subseções seguintes. Porém, com o intuito de facilitar a compreensão do leitor, primeiro será apresentado uma visão geral do sistema, descrevendo o fluxo de

informações dentro da gaveta, ilustrado na Figura 2.20.

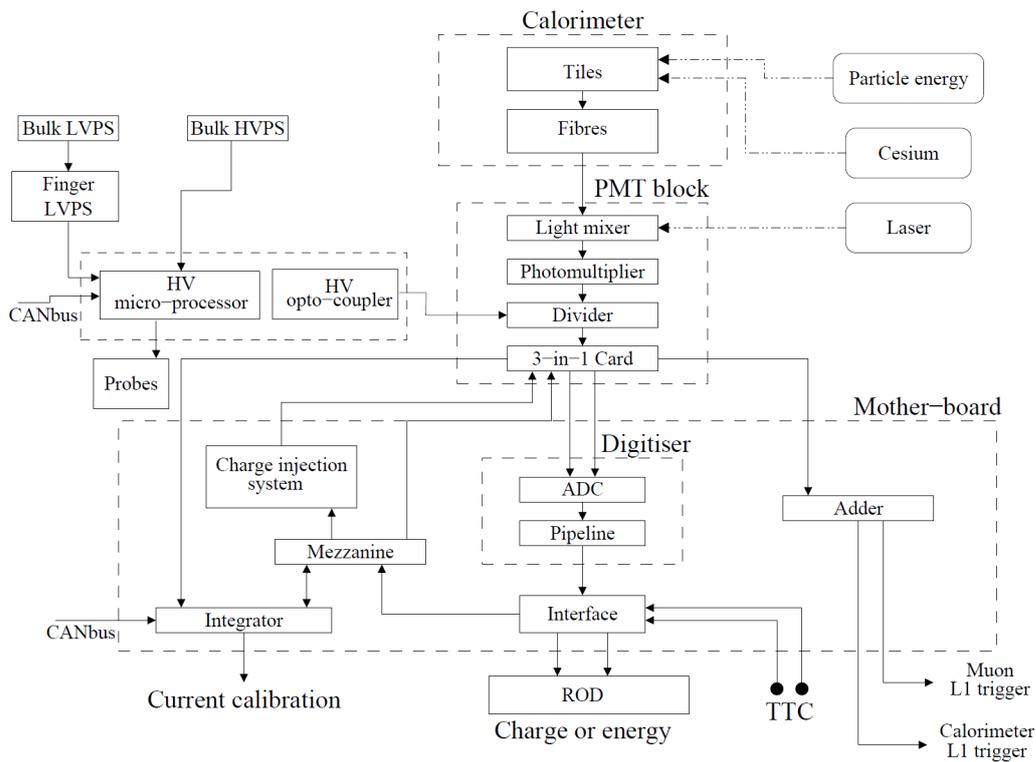


Figura 2.19: Diagrama em blocos da eletrônica de aquisição do TileCal. Extraído de [17]

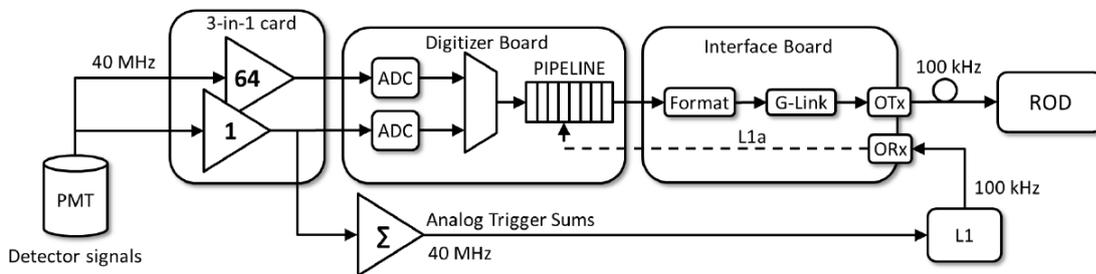


Figura 2.20: Ilustração do fluxo de dados no TileCal

Quando uma partícula interage com o calorímetro, as telhas cintilantes irão responder com a geração de fótons. Esses fótons são então captados por fibras óticas e levados para dentro da gaveta, onde fotomultiplicadoras convertem o sinal luminoso em elétrico. O sinal elétrico, passa então por um *shapper* e por um circuito de ganho, quando é então replicado. Neste ponto, o fluxo de sinais se divide em dois caminhos. A primeira réplica do sinal é utilizada em um circuito somador, que reúne informação de diversos canais que possam ter sido excitados por uma mesma partícula, reduzindo a granularidade do calorímetro. A resposta desse circuito somador é

levada, ainda analógica, para fora da gaveta, até a eletrônica de *back-end*, onde essa informação será processada pelo Nível 1 de *trigger*. Enquanto isso, a segunda réplica do sinal é mantida dentro da gaveta, sendo digitalizada e armazenada em um *buffer*, esperando pela resposta do L1. Caso a resposta seja positiva, este dado digital é então levado, com granularidade total, até o Trigger de Alto Nível, onde passará por uma filtragem mais severa e, possivelmente, o dado será armazenado. Em caso de resposta negativa, a informação dos *buffers* é descartada.

PMT

O componente que recebe as fibras óticas é chamado de Bloco PMT [31], ilustrado na Figura 2.21. O primeiro elemento deste bloco é um mixador de luz, cuja função é condensar os sinais óticos vindos de várias telhas dentro de uma mesma célula. O sinal resultante é então levado a um Tubo-Fotomultiplicador (PMT, do inglês *Photo Multiplier Tube*) [32], que converte o dado luminoso em elétrico. Nesse ponto, o sinal elétrico é apresentado à placa 3-in-1.



Figura 2.21: O bloco PMT usado no TileCal. Extraído de [9]

3-in-1

Dentro do 3-in-1 [33], o sinal analógico vindo da PMT passa primeiramente por um circuito chamado *shaper*, onde ele é moldado para atender os requisitos da placa digitalizadora. O pulso resultante é então propagado para três saídas distintas. Duas dessas saídas são enviadas à placa digitalizadora, sendo que a um dos sinais é aplicado um ganho baixo e ao outro um ganho alto, permitindo que o sistema atinja a totalidade de sua faixa dinâmica. A terceira saída recebe um ganho baixo e é enviada à placa somadora, última interface antes do sistema de *trigger* do ATLAS.

As placas 3-in-1 também são equipadas com um Integrador de Carga. Este circuito foi projetado para medir a corrente vinda das PMTs em um período de tempo relativamente longo e então fornecer uma média destes valores. Quando combinado

com o sistema de Césio do TileCal, este circuito permite que as células do calorímetro sejam calibradas e monitoradas. Esta integração no tempo é importante para suprimir o efeito de *ripple* de pulsos isolados, bem como flutuações na amplitude e na taxa de deposição de energia em cada célula. O resultado desta integração é disponibilizado para os sistemas de controle através da placa ADC-I, que concentra a informação de todos os 3-in-1 de uma mesma gaveta.

A terceira função da 3-in-1 é a Injeção de Carga (CIS, do inglês *Charge Injection System*), de grande importância para a calibração eletrônica de canais individuais. Isto é feito injetando-se uma quantidade conhecida de carga através de toda a faixa dinâmica do sistema e observando a resposta. O sistema permite ainda um diagnóstico imediato de falhas de leitura e efeitos de *cross-talk* entre canais. Também é possível calibrar o próprio Integrador de Carga. Uma foto de uma placa 3-in-1 pode ser vista na Figura 2.22.

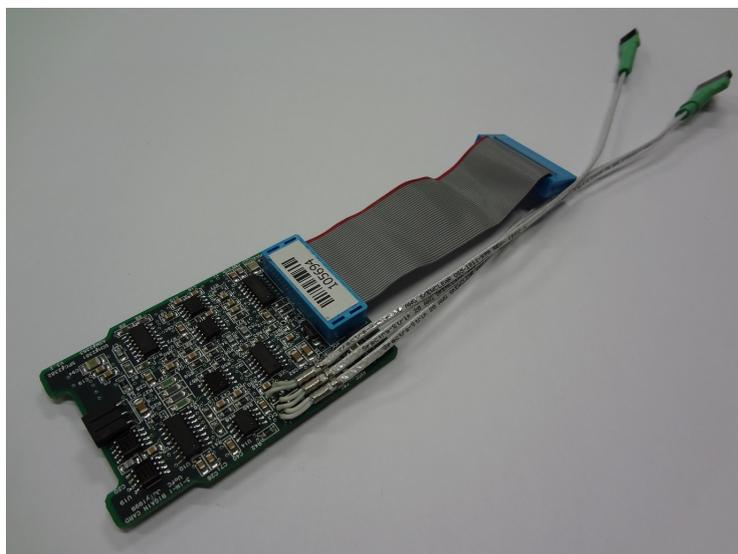


Figura 2.22: A placa 3-in-1

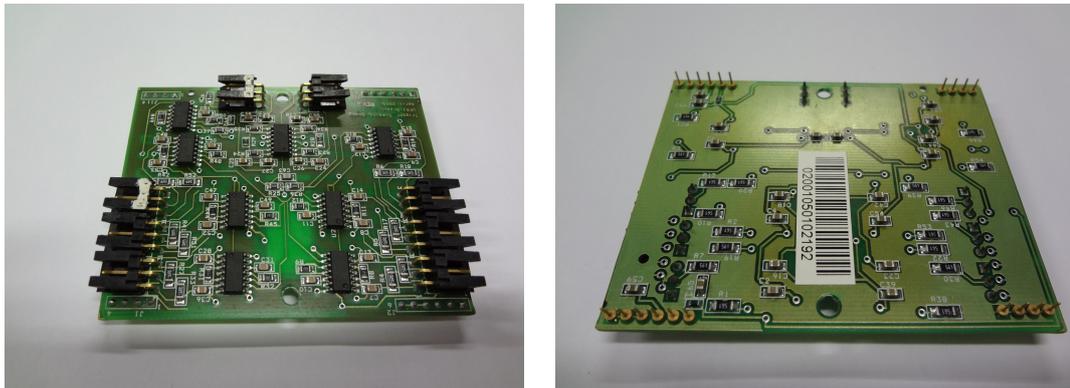
Somador

Na Seção 2.4 falamos sobre o sistema de *trigger* do ATLAS e como o primeiro nível desse sistema trabalha com informações de granularidade reduzida. No TileCal, o componente responsável por essa redução de granularidade é o Somador [34]. Esta placa pode receber as saídas de até seis 3-in-1 e fornecer uma soma analógica destes sinais como saída. Os canais somados correspondem àqueles que, dentro de um mesmo módulo, possuem a mesma direção em η , que é a trajetória mais provável para partículas atravessando o calorímetro (maiores informações sobre o sistema de coordenadas do ATLAS são apresentadas no Apêndice A). As células somadas

formam o que é conhecido por Torre de Trigger. Um exemplo de células que compõem uma Torre de Trigger é mostrado na Figura 2.16(b), na região em vermelho.

Esta soma de canais que possuem o mesmo η , reduz a quantidade de dados a ser analisada pelo L1, ao mesmo tempo que preserva a informação mais relevante neste ponto. Isto é importante porque o tempo disponível para decisões no L1 é muito limitado, e este nível recebe dados na taxa máxima do ATLAS. Caso um evento seja selecionado, um sinal de Aceitação do Nível 1 (L1A, do inglês *Level 1 Accept*), é enviado de volta ao TileCal, que em resposta envia informação digitalizada e com total granularidade para o L2, o próximo passo no processo de seleção.

Adicionalmente, o Somador fornece uma segunda saída, que é uma réplica amplificada do canal da Torre de Trigger correspondente à camada D do calorímetro, como mostrado pelos traços azuis na Figura 2.16(b). Esta saída, conhecida como Saída de Múons, ou Sinal de Múons, foi incluída para ajudar no sistema de *trigger* do Espectrômetro de Múons. A Figura 2.23 contém fotos de um Somador.



(a) Frente

(b) Verso

Figura 2.23: Somador

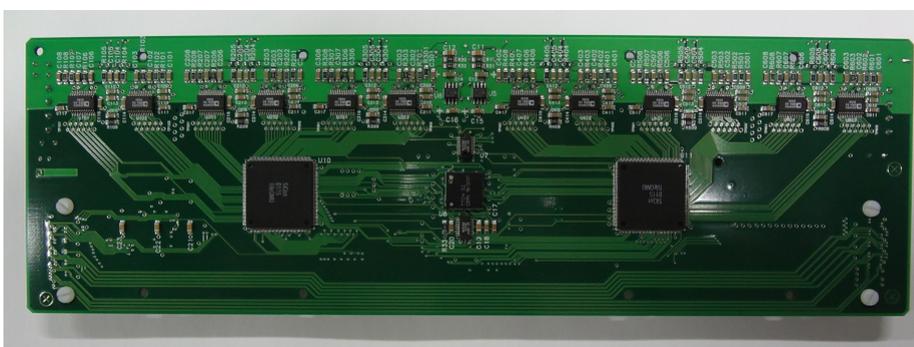
Digitizer

Como dito anteriormente, duas das saídas das 3-in-1 são enviadas para a placa digitalizadora, ou Digitizer [29, 35]. Aqui, ambos os sinais são continuamente digitalizados por 2 ADCs, com um nível de pedestal controlado por um DAC. A fase do sinal de *clock* que chega aos ADCs também pode ser ajustada, garantindo que sempre sejam tomadas amostras no pico do pulso.

A saída dos ADCs é então transferida para as Unidades de Gerenciamento de Dados (DMU, do inglês *Data Management Unit*), um chip projetado especialmente para esta aplicação. Dentro deste Circuito Integrado (CI), os dados digitalizados são levados até uma memória interna do tipo *pipeline*. Neste ponto, os dados esperam

por um sinal L1A por um período de tempo apropriado, compensando a latência do sinal de *trigger*. Quando um evento é aceito, um número de amostras é transferido para um buffer decodificador, garantindo que todos os pulsos daquele evento sejam transmitidos para a placa de interface.

Cada Digitizer, ilustrado na Figura 2.24(a), pode receber dados de até 6 canais e cada DMU pode receber até 3 canais. Logo, cada Digitizer conta com 12 ADCs (ganho alto e baixo para cada canal) e 2 DMUs, sendo necessários 8 Digitizer dentro da gaveta para processar todos os 45 canais de um módulo do Barril Longo. Os Digitizers de uma gaveta são divididos em 2 cadeias laterais, com a placa de interface no centro. A partir do início da cadeia, cada Digitizer manda informação para seu vizinho, até atingir a placa de interface. Esta estrutura é mostrada na Figura 2.24(b).



(a) Digitizer board



(b) Cadeia de Digitizers dentro de uma gaveta, chegando até a placa de interface

Figura 2.24: Digitizer

Placa de Interface

A Placa de Interface [36] é responsável pela comunicação entre os dados vindos das PMTs e o sistema de aquisição, fora do calorímetro. Esta placa recebe sinais vindos do L1 através do Sistema de Sincronização do LHC, o TTC (do inglês *Timing Trigger and Control*) [37, 38], e os distribui para os Digitizers. No caso de L1A, todos

os Digitizers de uma gaveta mandam seus dados, armazenados nas DMUs, para a Placa de Interface, que os converte para sinais luminosos e os envia através de fibra ótica para o HLT, onde será feita uma análise mais profunda.

Como os dados produzidos por um módulo inteiro do Tile passam por essa placa, ela se mostra de vital importância. Por isso, ela conta com 2 canais independentes e redundantes para transmissão ótica, reduzindo as chances de perda de informação. Uma foto da Placa de Interface pode ser vista na Figura 2.25.



Figura 2.25: Placa de Interface

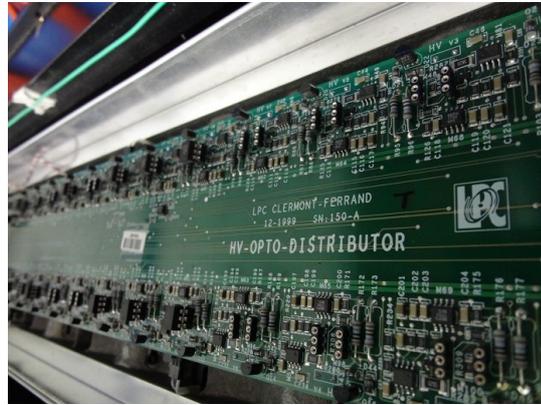
Power supplies

O TileCal conta com 2 diferentes tipos de fontes de alimentação: baixa tensão (LV, do inglês *Low Voltage*) e alta tensão (HV, do inglês *High Voltage*). O sistema de alta tensão foi projetado para alimentar as PMTs e a fonte fica localizada na USA15. Esta fonte tem 256 canais, uma para cada gaveta do Tile, e a tensão de saída é de aproximadamente -830 V. Dentro de cada gaveta, o Sistema de Distribuição HV [39] é usado para o ajuste final da tensão aplicada às PMTs. Este sistema é importante porque, devido às diferenças intrínsecas entre PMTs, existem flutuações entre os canais do Tile, que são combatidas com a aplicação de diferentes valores de tensão. Na Figura 2.26 é mostrado uma foto do Sistema de Distribuição HV, composto pelas placas HV-Opto e HV-Micro.

O sistema LV também é alimentado por uma fonte na USA15, em 200 V. Esta energia é transferida até a extremidade da gaveta, onde se encontra o conversor conhecido como fLVPS (do inglês *finger Low Voltage Power Supply*). O papel da fLVPS, mostrada na Figura 2.27, é fornecer potência em níveis de tensão apropriados para toda a eletrônica de *front-end*, previamente descrita, e também para o Sistema de Distribuição HV.



(a) HV-Micro



(b) HV-Opto instalada na parte de trás de uma gaveta do Tile

Figura 2.26: Sistema de distribuição HV utilizado pelo TileCal

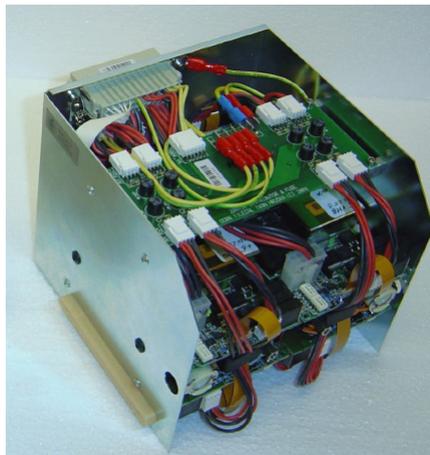


Figura 2.27: fLVPS: sistema para alimentação de baixa tensão utilizado nos módulos do TileCal. Extraído de [40]

Capítulo 3

Identificação de Múons pelo TileCal

Como foi dito na Seção 2.4, o ATLAS possui um sofisticado sistema de filtragem *online* de eventos. Esse sistema é responsável por selecionar, dentre a imensa quantidade de dados gerados no detector, as informações que são mais relevantes para os estudos físicos realizados no CERN. Assim, os eventos mais importantes são salvos para futuras análises e o resto é descartado.

Na mesma seção, ainda foi discutido como o sistema de *trigger* do ATLAS é dividido em 3 níveis, sendo o primeiro implementado por *hardware* e os outros dois por *software*. O que ainda não havia sido mencionado, é que o primeiro nível de *trigger* ainda pode ser subdividido em *trigger* de calorimetria e *trigger* de múons. O primeiro é responsável por identificar aquelas partículas que interagem de forma eletromagnética ou através de força-forte, utilizando para isto apenas informações provenientes dos calorímetros do ATLAS. O segundo dedica-se exclusivamente à identificação de múons gerados em colisões no interior do detector, utilizando apenas informações do Espectrômetro de Múons (MS).

Entretanto, como discutido na Seção 2.5, o TileCal fornece dois sinais para o primeiro nível de *trigger*: o primeiro é a soma dos canais que, em um mesmo módulo, possuam o mesmo η . Por outro lado, a Saída de Múons apenas replica o sinal gerado na camada mais externa do TileCal. A ideia é que essa saída possibilite que a infraestrutura de calorimetria do ATLAS auxilie no *trigger* de múons.

Isto seria possível porque a maior parte das partículas hadrônicas que incidem sobre o TileCal são absorvidas nas duas primeiras camadas de cada módulo, A e BC. Dessa forma, mesmo que o Tile não tenha sido projetado com esse intuito, a informação presente na camada D do calorímetro pode ser bastante útil na detecção de múons, haja visto que, praticamente, apenas essas partículas irão excitar essa

porção do detector. Dessa maneira, ao utilizar o TileCal no auxílio da detecção de múons, a eficiência geral de *trigger* poderia ser melhorada.

3.1 Estudos anteriores

Estudos anteriores [28, 41] analisaram a viabilidade dessa ideia, inclusive com o desenvolvimento de uma placa de circuito impresso que seria capaz de fazer a interface entre os sinais de *trigger* do TileCal e o sistema utilizado pelo L1 de múons [42]. Na época, ainda nos primeiros anos de operação do LHC, acreditava-se que com o passar do tempo as colisões de partículas deixariam a caverna do ATLAS cada vez mais radioativa. Como resultado, a própria caverna se tornaria uma emissora de partículas, que poderiam atingir a parte mais externa do ATLAS, o Espectrômetro de Múons, e excitar esse sub-detector, gerando falsos sinais de múons.

A utilização da Saída de Múons do TileCal parecia justificada, uma vez que a radiação emitida pela caverna seria absorvida pelo MS e não chegaria até o TileCal. Ao exigir coincidência de detecção tanto pelo Espectrômetro quanto pela camada D do Tile, os falsos sinais de múons não mais passariam pelo L1, reduzindo a taxa de falso alarme.

Porém, com as análises dos primeiros dados de colisão, verificou-se que o problema de radiação da caverna não era tão alarmante quanto se esperava; a ocorrência de falsos sinais de múons era pequena. Adicionalmente, essas primeiras análises trouxeram maiores informações sobre o canal das Saídas de Múon, constatando que o nível de ruído era bastante elevado. Como o TileCal não foi projetado para detectar múons, essas partículas deixam pouca energia no calorímetro, resultando em pulsos de pequena amplitude que, quando imersos em ruído de fundo, dificilmente seriam detectados.

Após a conclusão de que o problema de radiação da caverna trazia poucos danos reais ao sistema de *trigger* e de que o TileCal em pouco conseguiria mitigar o problema, a proposta de uso do calorímetro para detecção de múons foi descontinuada.

3.2 Projeto Tile-Muon

As análises dos dados de colisões de partículas de 2012 detectaram um novo problema para primeiro nível de *trigger* de múons. Observou-se que prótons de baixo momento, gerados na blindagem do feixe do LHC e na região do imã toroidal (vide Figura 2.6), interagem fortemente com o MS, gerando falsos sinais de *trigger* de múons [43]. A Figura 3.1 mostra como a região do TGC (vide Figura 2.10) é a mais afetada pelo problema. Semelhante ao caso das partículas irradiadas pela caverna,

esses "falsos múons" são gerados fora do ponto de colisão do LHC, não apresentando interesse físico ao experimento. Logo, esses eventos deveriam ser descartados, mas o L1 de múons não tem conseguido sucesso nessa tarefa.

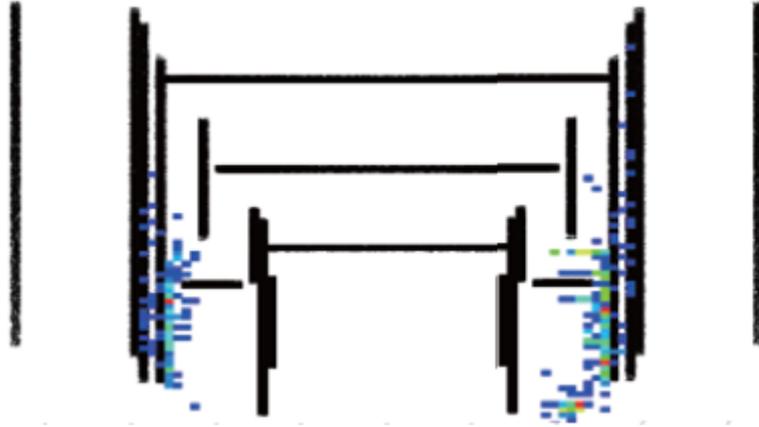


Figura 3.1: Os prótons gerados na região do ímã toroidal atingem principalmente a tampa do Espectrômetro de Múons

A Figura 3.2 dimensiona o problema. Em branco, são mostrados eventos que passaram pelo primeiro nível de filtragem do ATLAS, sendo selecionados no menu de *trigger* como múons com momento transverso maior que 20 GeV. Em azul, são mostrados todos os eventos que foram identificados como múons em uma reconstrução *offline*. Em amarelo, são mostrados aqueles eventos que, numa análise *offline*, realmente foram identificados como múons com momento transverso maior que 20 GeV. A diferença entre o que passou pelo L1 (branco) e o que realmente representa evento de interesse (amarelo) é enorme, mas de certa forma esperada. Isto porque o L1 recebe dados na taxa máxima do LHC e conta com uma latência muito baixa para tomar decisões de seleção, não sendo possível a implementação de sofisticados algoritmos de detecção, como é feito nas análises *offline*. Porém, acredita-se que a discrepância poderia ser menor, não fosse por esses falsos múons.

Dentre os eventos que excitaram o Espectrômetro, a melhor maneira de discriminar múons de interesse de outras partículas gerados fora do ponto de colisão, é através do uso do Detector Interno (ID). Isso porque os múons de interesse deixam um traço de energia no ID, percorrendo uma trajetória coincidente com o ponto em que atingiram o MS, diferentemente dos prótons gerados na blindagem do feixe, que na maior parte das vezes nem chegam até Detector Interno. Porém, a informação do Detector Interno não está disponível para o L1.

Dessa forma, a Saída de Múons do TileCal volta à pauta. A maior parte desses falsos múons são absorvidos pelo MS, não chegando a interagir com o Tile. Assim, mais uma vez, a ideia é que sejam selecionados apenas os eventos que tenham excitado

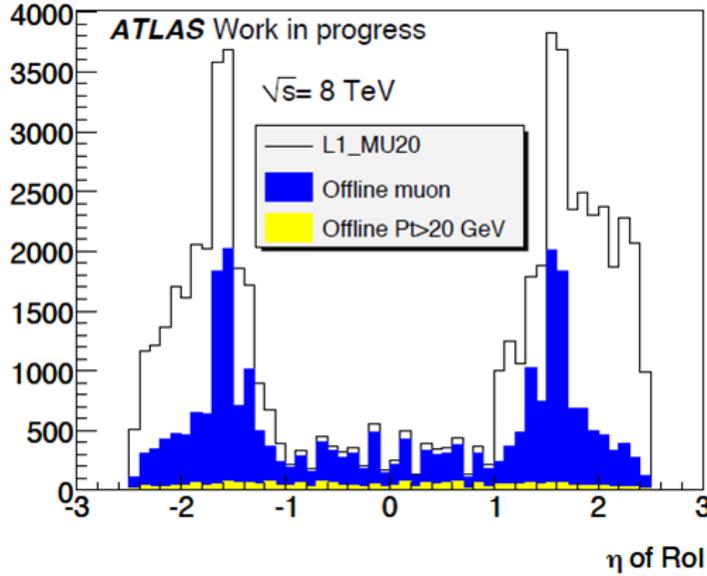


Figura 3.2: Ilustração da alta taxa de falso alarme do L1 de múons

tanto o Espectrômetro quanto a camada D do Tile, reduzindo a taxa de falso alarme no L1 de múons.

Persiste o empecilho do alto ruído na Saída de Múons do TileCal. No entanto, se olharmos para a Figura 3.3, observamos que múons de mesma energia (no caso 180 GeV) causam um impacto não uniforme na camada D do Tile, variando com a pseudo-rapidez. Fica claro que a deposição de energia é muito maior para valores de $|\eta|$ entre 0,9 e 1,3. Essa estranha distribuição justifica-se quando, mais uma vez, voltamos nossa atenção para a Figura 2.16(b). Nessa figura, pode-se observar que esses valores de η correspondem justamente ao Barril Estendido do Tile. No EB, as células da camada D são maiores, de forma que os múons que percorrem esse caminho precisam atravessar uma quantidade maior de aço e material cintilante, depositando mais energia.

Esse fato tem grande impacto na SNR dos sinais de múons correspondentes às células D5 e D6, conforme mostrado na Figura 3.4. Essa melhora na qualidade do sinal permite a identificação de múons por parte do Tile com muito mais confiança.

A região das células D5 e D6 do TileCal coincide com as câmaras TGC do detector de múons para valores de $|\eta|$ entre 1 e 1,3, conforme mostrado pelo sombreado vermelho na Figura 3.5. Felizmente, a região do TileCal que possui melhor qualidade no sinal de múons coincide com a porção do Espectrômetro mais severamente afetada pelos falsos múons.

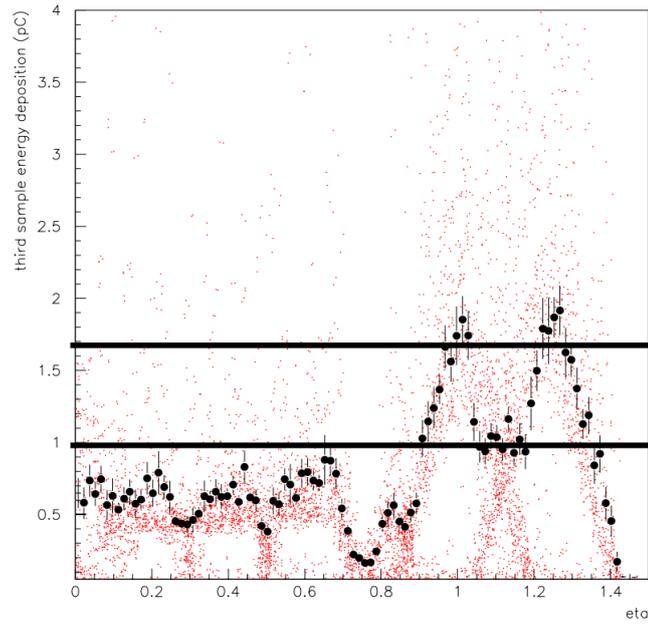


Figura 3.3: Deposição de energia de múons na última camada do TileCal em função de η

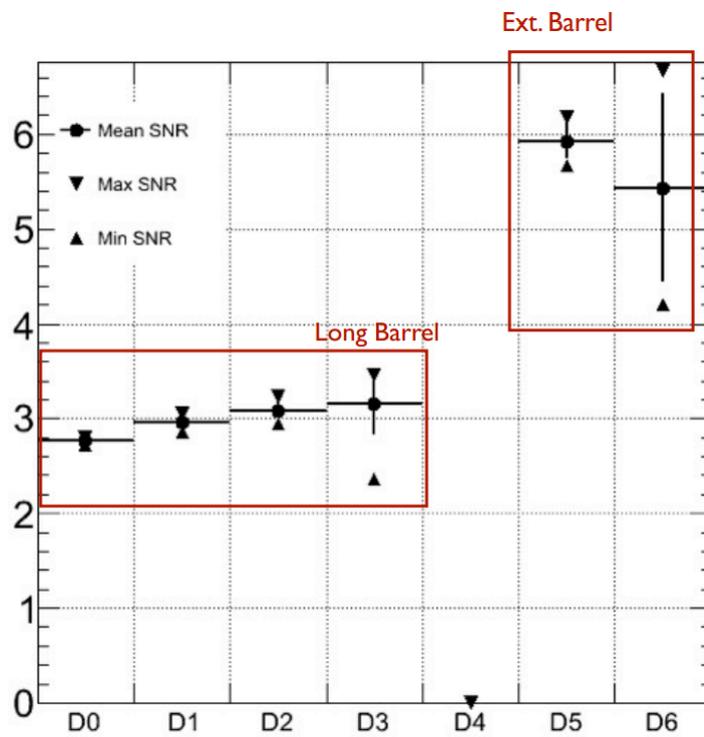


Figura 3.4: SNR do sinal de múon deixado nas diferentes células da camada D do TileCal

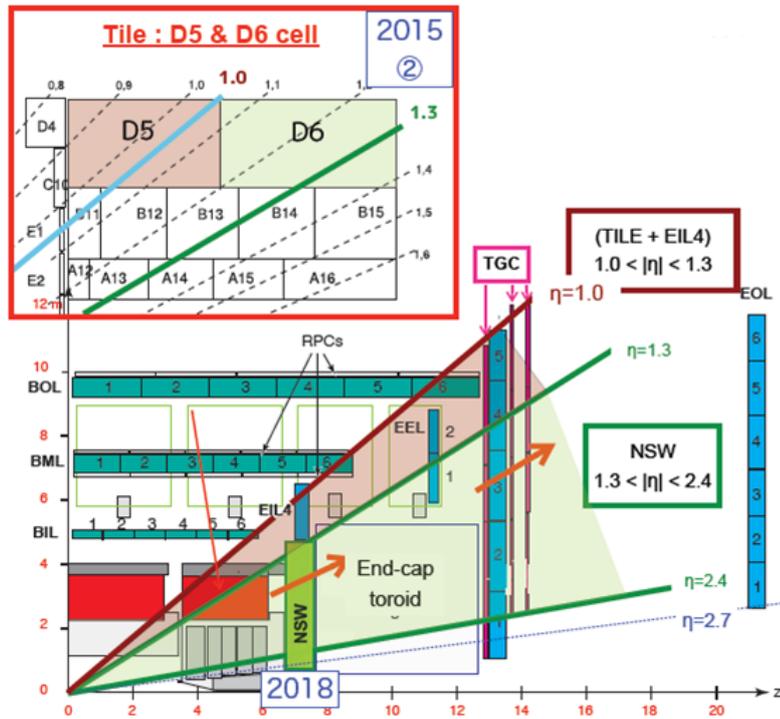


Figura 3.5: Ilustração da coincidência em η entre o Barril Estendido do TileCal e as câmaras TGC do Espectrômetro de Múons. Adaptado de [44]

Sumarizando, em relação aos estudos anteriores houve alteração de dois fatores:

1. Os falsos sinais de múons não são mais provenientes de radiação da caverna, mas de prótons de baixo momento gerados na região do imã toroidal; um problema real detectado através de análises *offline* dos dados de colisão de 2012
2. O problema afeta principalmente a tampa do Espectrômetro, na região das câmaras TGC. Coincidentemente, essa região corresponde, em η , ao Barril Estendido do TileCal, que apresenta melhor qualidade de sinal em suas Saídas de Múons, viabilizando a detecção dessas partículas

Essa mudança de cenário tornou viável o uso do TileCal para detecção de múons, trazendo a expectativa de que seja reduzida a quantidade de falsos múons que passam pelo L1. Com essa proposta, foi criado o projeto Tile-Muon [44].

3.3 Eficiência da detecção de múons pelo TileCal

Para mensurar o ganho real proporcionado pela adição do TileCal no caminho de *trigger* de múons, deve-se medir a eficiência de detecção de múons pelo calorímetro e a redução na taxa de eventos que passam pelo Nível 1. Nestas análises, assumiremos que os algoritmos de detecção *offline*, quando empregados sobre dados reais

de colisões passadas, são capazes de discriminar perfeitamente múons de interesse e falsos múons.

A Figura 3.6 mostra, nos quadrados azuis, o impacto que o uso das Saídas de Múons tem sobre a taxa de *trigger* do L1 de múons. Para traçar os pontos da curva, olhamos para todos os eventos que passaram pelo L1 de múons e selecionamos apenas aqueles que, conforme observado numa análise *offline*, deixaram no TileCal uma energia maior que determinado limiar, quando somados os pulsos das células D5 e D6. Para baixos valores do corte de energia, o TileCal terá pouca capacidade de rejeição, contribuindo pouco para a redução da taxa de *trigger*. A curva em círculos vermelhos mostra a queda de eficiência de detecção de múons pelo ATLAS. Quando um corte de energia muito alto é imposto ao Tile, determinados múons que foram corretamente detectados pelo Espectrômetro seriam barrados pelo L1 por terem deixado pouca energia no calorímetro, deteriorando a eficiência do sistema de *trigger*. Procurando balancear os dois fatores, optou-se por um corte de 500 MeV, marcado pelo pontilhado vertical. Nesse caso, a eficiência de detecção de múons é mantida acima de 97%, enquanto a taxa de *trigger* do Nível 1 de múons é reduzida a menos de 20% de seu valor original.

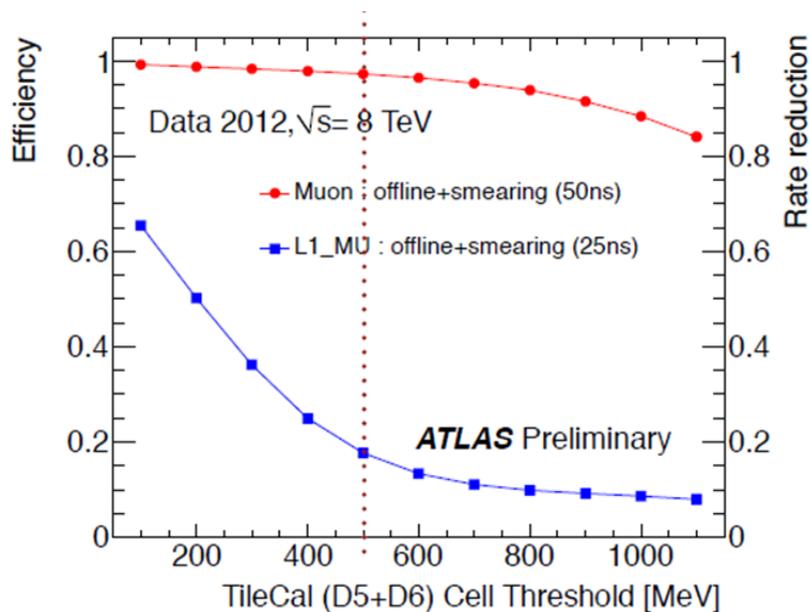


Figura 3.6: Eficiência de detecção de múons (círculos vermelhos) e redução na taxa de L1 de múons (quadrados azuis) quando as Saídas de Múons do TileCal são adicionadas ao caminho de trigger, em função de um corte variável imposto sobre a soma da energia deixada nas células D5 e D6. Adaptado de [44]

As análises da Figura 3.6 foram feitas sobre dados obtidos através das Placas de Interface das gavetas, ou seja, dados que foram digitalizados dentro da gaveta e posteriormente transmitidos, através de fibras óticas, até a eletrônica de *back-end*.

Como foi visto na Seção 2.5, esta não é a informação realmente apresentada ao primeiro nível de *trigger*. Os dados que o TileCal disponibilizará serão provenientes do Somador, e serão levados até o L1 de múons no formato elétrico e analógico, com níveis de ruído bem maiores. Para compensar este efeito, os dados utilizados nas análises foram artificialmente somados a um ruído gaussiano com energia de 200 MeV, similar ao que é encontrado nas Saídas de Múons do TileCal.

No entanto, para validar o estudo e confirmar a eficiência do projeto Tile-Muon, seria interessante que as análises realizadas fossem repetidas sobre dados realmente coletados das Saída de Múons. Apesar da estatística ser pequena, algumas amostras das Saídas de Múons foram coletadas em 2011, quando ainda se estudava a questão da radiação da caverna. Com esses dados, foram repetidos os estudos anteriores e o resultado é mostrado na Figura 3.7, com a eficiência de detecção ilustrada pelos círculos pretos e a redução na taxa de *trigger* pelos triângulos vermelhos. Novamente, para um corte de 500 MeV, a eficiência permanece acima de 95% e a taxa de *trigger* do L1 de múons é reduzida a menos de 20% de seu valor original.

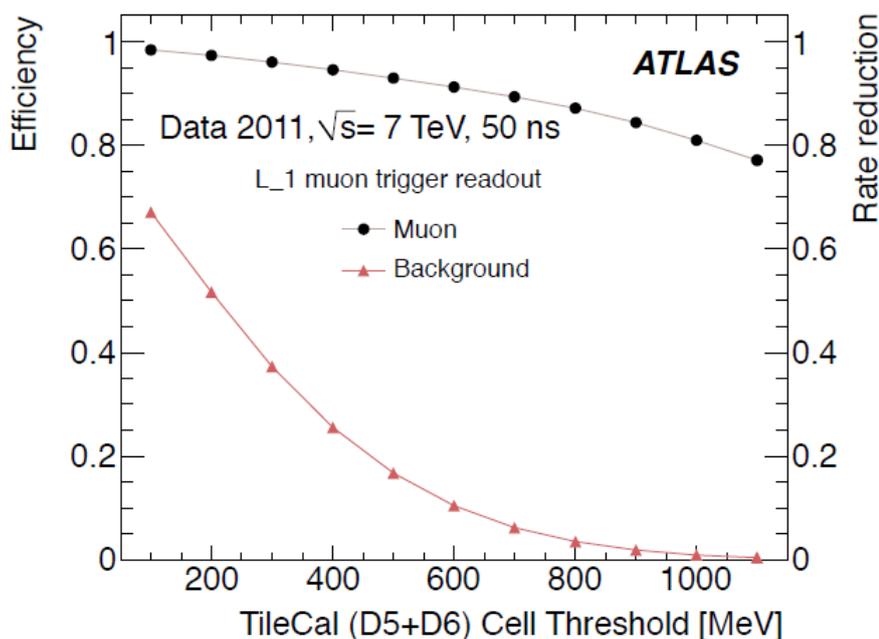


Figura 3.7: Eficiência de detecção de múons pelas células D5 e D6 do TileCal. Extraído de [44]

Após confirmada a viabilidade da proposta Tile-Muon, é importante avaliar o impacto geral que o projeto terá no Nível 1 de *trigger* de múons. Essa análise é mostrada na Figura 3.8. Em branco, é mostrada a taxa atual do L1 de múons e, em amarelo, é mostrado o efeito da adição dos sinais do TileCal. Conforme esperado, para a região de $|\eta|$ entre 1 e 1,3, a redução na taxa de *trigger* é superior a 80%, se

aproximando bastante da curva em azul, que mostra múons de interesse, identificados *offline*. Olhando para o Nível 1 de múons como um todo, por toda a faixa de η , a redução é de expressivos 10%.

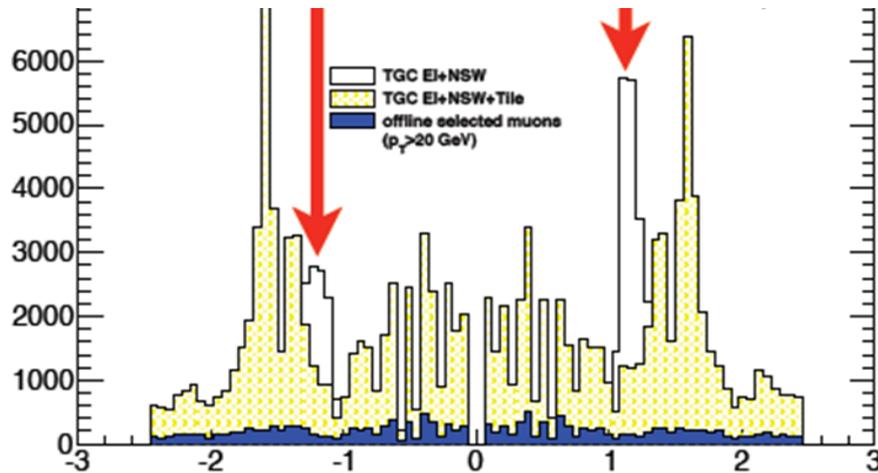


Figura 3.8: Impacto geral do uso do TileCal no Nível 1 de *trigger* de múons

3.4 Receiver Board

De posse dessas análises, que mostraram grandes ganhos na utilização da Saída de Múons do TileCal para redução de falso *trigger* na região da tampa do Espectrômetro, optou-se pela execução do projeto, que tem de ser implementado até a volta das colisões no LHC, no início de 2015.

No entanto, apesar do Somador contar desde sua concepção com uma saída dedicada à identificação de múons, até hoje essa informação não era utilizada pelo ATLAS. Logo, mostrou-se necessário o desenvolvimento de um sistema capaz de receber e processar os dados presentes nesses canais de leitura, possibilitando a discriminação de múons. A base do circuito impresso já estava pronta [42], mas foram necessárias profundas modificações, já que a nova placa deveria processar apenas os módulos EB do Tile. Além disso, o emprego de novas tecnologias, principalmente em FPGAs, permitiu que esse novo sistema tivesse mais funcionalidades do que o anterior. Esse novo PCB, denominado Receiver Board, é esquematizado num diagrama em blocos na Figura 3.9.

Cada placa recebe dados de 8 módulos do Tile e tem formato compatível com o padrão VME64x-9U. Para processar todos os 128 módulos EB, serão necessárias 16 Receiver Boards, contidas num *crate* VME. Os dados analógicos chegam pelos conectores P5 e P6 e são levados até um estágio analógico, onde os sinais são conformados e digitalizados. Essa informação é então entregue a uma FPGA Central

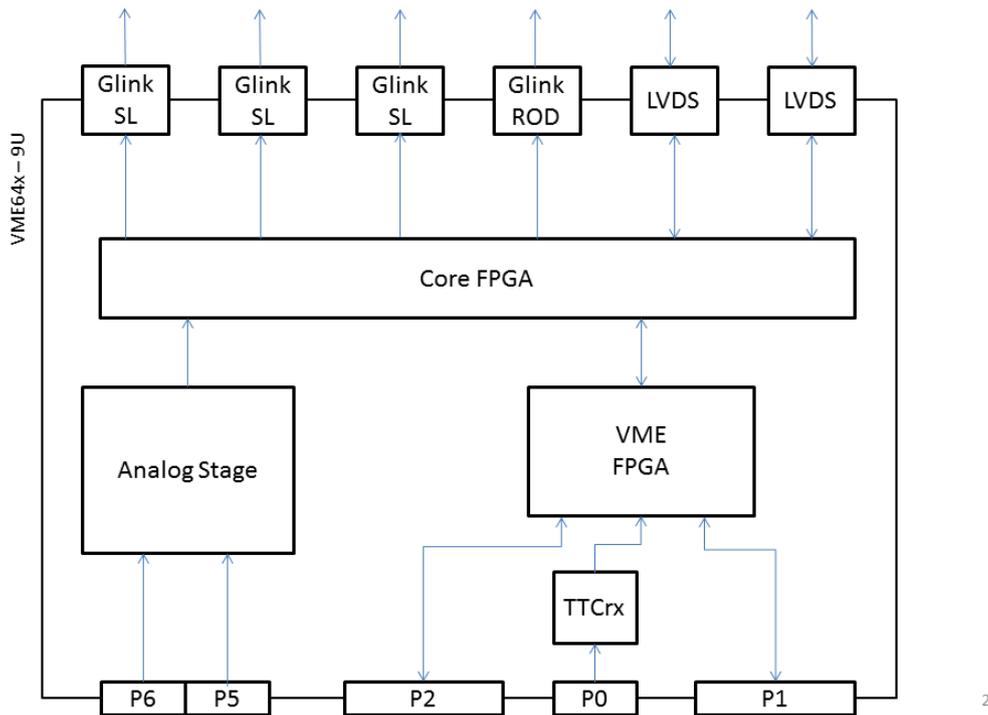


Figura 3.9: Diagrama em blocos da Receiver Board

(Core FPGA) que, além de possibilitar a soma digital de diferentes células, implementa um filtro casado [45] que será responsável pela detecção de múons em todos os canais. A resposta é convertida de elétrica para ótica em módulos SFP e enviada no padrão GLink, através de fibras óticas, para a infraestrutura do MS responsável por fornecer o sinal de *trigger* de múons L1 (Glink SL). Sinais de controle de baixa velocidade e monitoramento das Receivers trafegam pelo barramento VME do *crate*, chegando até a placa através dos conectores P1 e P2. Devido à complexidade dessa comunicação, uma FPGA é dedicada a essa operação (VME FPGA), preservando os recursos lógicos da FPGA central. Os sinais de *clock* e de TTC chegam até a placa através do conector P0 e são decodificados por um *chip* produzido pelo CERN (TTCrx). Com o intuito de melhorar a identificação de múons, ainda é previsto um compartilhamento de informação entre Receiver Boards vizinhas, realizado através de conectores simples (LVDS). Um quarto link ótico permite que as informações coletadas e produzidas por esse novo sistema sejam disponibilizadas diretamente ao Nível 2 de *trigger* (ROD).

Capítulo 4

Sistema Móvel de Checagem da Integridade das Gavetas

Durante condições normais de operação, toda a eletrônica de *front-end* do TileCal está conectada à eletrônica de *back-end*, que por sua vez pode ser acessada remotamente através da sala de controle do ATLAS, de fácil acesso por estar na superfície. Isto permite que sejam feitas checagens regulares dos componentes que formam as gavetas eletrônicas do Tile, descritos na Subseção 2.5.1.

No entanto, vale lembrar que o TileCal está localizado em um ambiente extremamente perigoso, a caverna do ATLAS. Durante a operação do LHC, este espaço subterrâneo está submetido a altos níveis de radiação e a um intenso campo magnético, inviabilizando a presença humana. Assim, mesmo que um defeito seja detectado, não é possível o reparo imediato do componente defeituoso, podendo-se apenas isolar os canais de leitura afetados pelo problema.

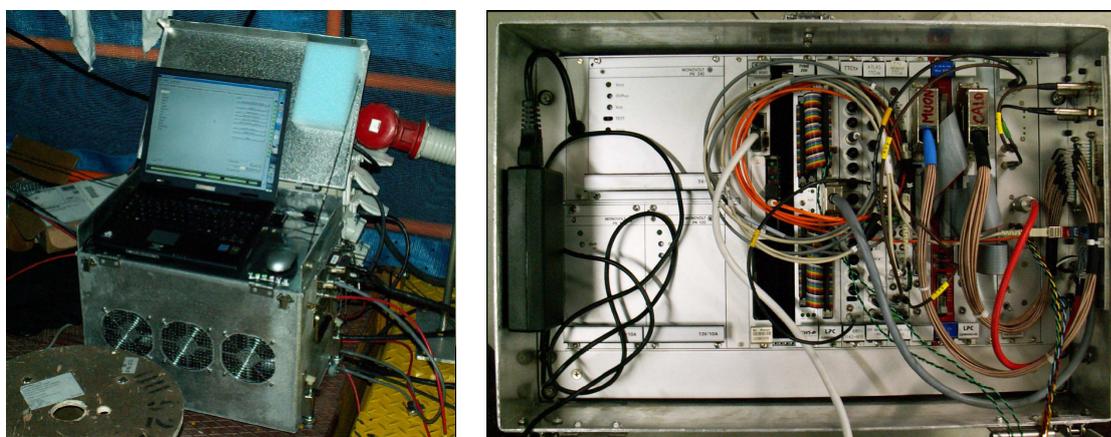
Tendo em vista esta condição, todo ano é programada no LHC uma parada técnica em que o acelerador, bem como todos os detectores, são desligados por algumas semanas. Algum tempo após o desligamento, a radiação na caverna é reduzida a níveis aceitáveis para a presença humana e podem ser realizados concertos nos detectores.

Neste curto espaço de tempo, toda a eletrônica do Tile deve ser reparada, preparando-o para um novo ano de operação. Com o objetivo de tornar essa tarefa mais eficiente, foi criado o Sistema Móvel de Checagem da Integridade das Gavetas (MobiDICK, do inglês *Mobile Drawer Integrity ChecKing system*). Este sistema é capaz de fornecer uma resposta quantitativa e qualitativa sobre cada componente eletrônico de cada gaveta do detector, sendo essencial no trabalho de manutenção do mesmo.

4.1 As primeiras versões

A primeira versão do MobiDICK [46, 47], MobiDICK1, foi finalizada em Maio de 2003 e utilizada na checagem de cada gaveta antes mesmo de sua primeira inserção nos módulos do TileCal. Posteriormente, 2 novas versões foram produzidas, em 2005 e 2007, sem apresentar grandes modificações.

Estes sistemas são compostos de um *crate* VME com diversas placas comerciais, que permitem a realização dos testes na gaveta do TileCal, e um *laptop*, que apresenta uma interface gráfica ao operador do sistema. Todo o sistema, ilustrado na Figura 4.1, é contido em uma caixa de alumínio, com dimensões totais de 50x33x41 cm e 20 Kg de peso.



(a) A primeira versão do MobiDICK, (b) Visão interna da caixa de alumínio, evidenciando o composto por uma caixa de alumínio e *crate* VME um *laptop*

Figura 4.1: Primeira versão do MobiDICK. Extraído de [47]

4.1.1 Hardware

O *hardware* das primeiras versões do MobiDICK, esquematizado na Figura 4.2 é composto basicamente dos seguintes blocos:

- Servidor: o servidor é implementado em um processador VME RIO2 [48]. Esta placa é o centro do sistema, sendo mestre do barramento VME e controlando os outros blocos. Adicionalmente, ao barramento PCI da RIO2 é conectada uma placa SSP [49], que por sua vez se conecta a uma placa ODIN [50]. Este esquema implementa uma interface S-LINK, que permite a comunicação ótica com a gaveta

- Interface do barramento CAN: composta por uma plataforma VME, o TVME200 [51], a qual se conectam dois módulos TIP816 [52]. Os dois módulos operam de forma independente, e tem suas saídas conectadas a uma placa customizada que faz o papel de *patch pannel* antes do cabo que é ligado à gaveta
- Sistema TTC: composto por dois módulos. O primeiro é o TTCvi [53] que, quando requisitado pelo servidor, gera comandos de configuração e *trigger* para a gaveta. Ao TTCvi é conectado o TTCex [54], que converte os sinais elétricos em luminosos antes que eles sejam enviados para a gaveta
- *Trigger* ADC: este sistema é responsável por digitalizar os sinais analógicos provenientes dos Somadores. O componente responsável por esta conversão é o módulo VME V792 [55]. Para converter as saídas diferenciais do Somador para a entrada unipolar do V792, são utilizadas duas placas (uma para o cabo da torre de *trigger* e outra para o cabo de múon) projetadas pelo instituto LPC, as DIFF2ADC
- Sistema de alimentação de alta tensão e LED: estes dois sistemas são implementados fisicamente em uma mesma placa de circuito impresso. Um conversor DC/DC gera os -830 V necessários para a correta operação das PMTs a partir do +12 V disponíveis no barramento VME. O segundo sistema gera os 20 V necessários para alimentar dois LEDs, que podem emitir luz em modo contínuo ou pulsado

4.1.2 Software

O *software* das primeiras versões do MobiDICK é baseado numa arquitetura cliente-servidor, que se comunica usando o protocolo TCP/IP. O código do servidor foi escrito em C e roda em um sistema operacional LynxOS, no processador RIO2. Sob pedido do cliente, o servidor coordena a execução dos testes da eletrônica da gaveta, enviando comandos através do barramento VME para os módulos VME auxiliares, descritos anteriormente. Uma vez concluídos os testes, os resultados são enviados de volta ao cliente.

O *software* do cliente é chamado de Willy. Escrito em C++, este programa roda no *laptop* dedicado do MobiDICK, sob o sistema operacional Linux. Sua função é, além de se comunicar com o servidor, apresentar uma interface gráfica amigável ao operador do sistema, permitindo que este escolha os testes que devem ser realizados. Uma vez que o servidor tenha retornado os resultados dos testes, o Willy deve exibir

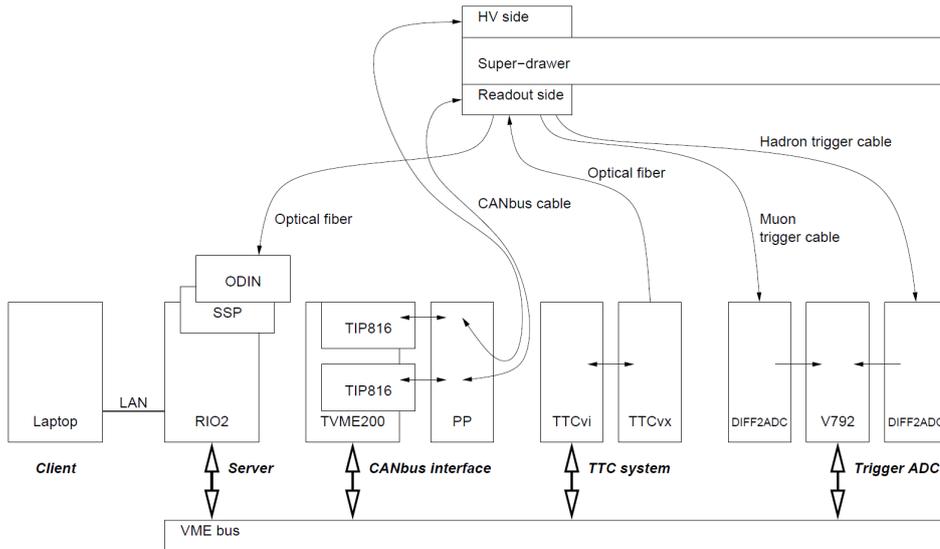


Figura 4.2: Diagrama em blocos do *hardware* empregado nas primeiras versões do MobiDICK, omitindo o sistema de alta tensão. Extraído de [46]

estes resultados na tela, utilizando bibliotecas ROOT [56] quando for necessário a apresentação de gráficos.

4.2 Motivação para uma nova versão

Em 2013 e 2014, está ocorrendo no LHC a primeira Longa Parada técnica (LS1, do inglês *Long Shutdown 1*). Este período deve ser utilizado pelos detectores para reparo, consolidação de sua eletrônica e primeiros preparativos para o *upgrade* de alta luminosidade do LHC.

Quanto a reparos e consolidação, as principais atividades no TileCal se concentram na substituição de diversas fontes de alimentação e, eventualmente, substituição de algum componente eletrônico defeituoso.

Em relação ao programa de atualização do ATLAS, este período será utilizado pelos calorímetros para realização dos primeiros testes com a nova eletrônica que está sendo projetada para operar no HL-LHC. Mais especificamente no TileCal, está sendo desenvolvido atualmente uma gaveta com a nova eletrônica de front-end, chamada de *Demonstrator*. Esta gaveta deverá ser instalada em um módulo do ATLAS para ter o seu desempenho acompanhado durante a Fase 0.

Desta forma, os principais motivos que levaram à decisão de construir uma nova versão do MobiDICK, bastante diferente das primeiras, são:

- A LS1 caracteriza-se por ser um período de intensa atividade nos detectores. No TileCal, ocorrerão intervenções em todas as 256 gavetas. Para permitir

reparos simultâneos nas 4 partições do calorímetro, LBA, LBC, EBA e EBC, no mínimo mais um MobiDICK deveria ser construído

- Alguns dos módulos VME comerciais utilizados nas primeiras versões, como a placa processadora, não estão mais disponíveis no mercado, inviabilizando uma réplica do sistema atual
- Através do emprego de novas tecnologias, espera-se que o MobiDICK tenha um tempo de vida útil maior, já que vai estar em consonância com a disponibilidade do mercado
- O uso de novas tecnologias deverá reduzir consideravelmente o peso e o tamanho do sistema, garantindo maior portabilidade do mesmo. Isto é muito importante porque, muitas vezes, o MobiDICK tem que ser levado através de andaimes para chegar aos módulos mais altos do Tile. Um sistema menor e mais leve deve garantir que os reparos na eletrônica sejam feitos de forma mais eficiente
- Finalmente, as versões atuais do MobiDICK foram projetadas a mais de 10 anos e não estão preparadas para a nova eletrônica a ser instalada no TileCal até 2022, conforme o plano de *upgrade* do LHC. Um sistema alternativo deve ser capaz de realizar os testes necessários para a qualificação dessa nova eletrônica

4.3 MobiDICK4

Pelos motivos citados, optou-se pela construção de uma quarta versão do MobiDICK. Nesta seção, este novo sistema será descrito, detalhando o *hardware* utilizado, a *firmware* desenvolvida e os ajustes de *software* que se fizeram necessários.

4.3.1 Visão geral

A arquitetura cliente-servidor previamente utilizada foi mantida nesta quarta versão. O programa do cliente, Willy, roda em um *laptop* dedicado e sofreu poucas alterações de sua versão original. Ele contém uma interface gráfica que apresenta ao operador do sistema diversas abas e botões, a partir dos quais é possível escolher o teste a ser realizado. Quando escolhido, o cliente envia automaticamente comandos ao servidor, implementado na placa mãe. Esta, por sua vez, envia comandos às placas filhas (*daughterboards*), que podem se comunicar com a gaveta. Uma vez que todas as informações necessárias tenham sido coletadas da gaveta, a placa mãe processa esses dados e envia de volta uma resposta ao cliente, que exibe o resultado também na forma de GUI.

Na Figura 4.3, ilustra-se a forma como o operador pode, a partir de seu *laptop*, ter acesso em tempo real a informações sobre o estado da eletrônica da gaveta.

4.3.2 Hardware

A principal inovação do MobiDICK4 foi em *hardware*, completamente redesenhado nesta nova variante. A ideia básica é a substituição do sistema VME, *crate* e módulos, por placas de circuito impresso (PCB, do inglês *Printed Circuit Board*) e lógica programável. Este novo *hardware* é esquematizado na Figura 4.3.

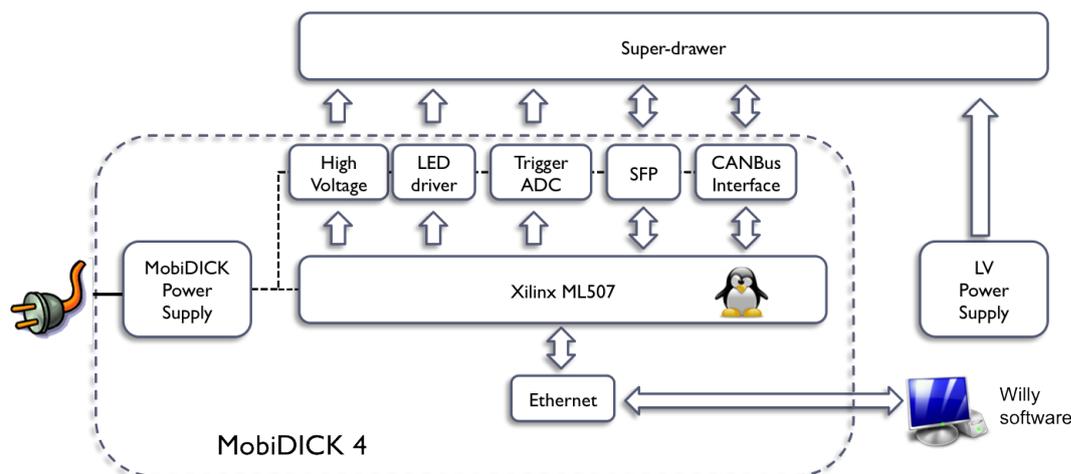


Figura 4.3: Diagrama do *hardware* do MobiDICK4, representado pelos blocos contidos pela linha tracejada

Os próximos tópicos abordarão detalhes dos PCBs utilizados, comerciais ou customizadas, das partes mecânicas, do cabeamento empregado e do *laptop* dedicado. Uma das placas de circuito impresso desenvolvidas especialmente para este projeto, a *Trigger Read Out Board* (TROB), será descrita separadamente no Capítulo 5, devido a sua importância no contexto deste trabalho.

Placa Mãe

A placa mãe do sistema é uma *evaluation board* da Xilinx, a ML507 [57, 58]. O coração desta *motherboard* é uma FPGA, também da Xilinx, a Virtex5 [59, 60]. Além da lógica programável, esta FPGA vem embutida com um microprocessador RISC, o PowerPC440, rodando a 440 MHz. Neste processador, foram implementados diversos programas e bibliotecas em C++ que descrevem os comandos a serem executados para cada teste requisitado pelo cliente. A *firmware* do sistema permite que esses comandos em C++ sejam traduzidos para lógica programável, que finalmente resultará em sinais trafegando no barramento de entrada e saída da FPGA.

Para se comunicar com o exterior, a ML507, ilustrada na Figura 4.4, conta com diversos periféricos. Aqueles de principal importância para o MobiDICK4 são:

- Transceiver ótico do tipo Small Form-factor Pluggable (SFP)
- Porta ethernet
- 2 portas RS232
- Porta USB
- Slot para memória Compact Flash
- 2 conectores para expansão de uso geral ligados a pinos I/O da FPGA (GPIO)

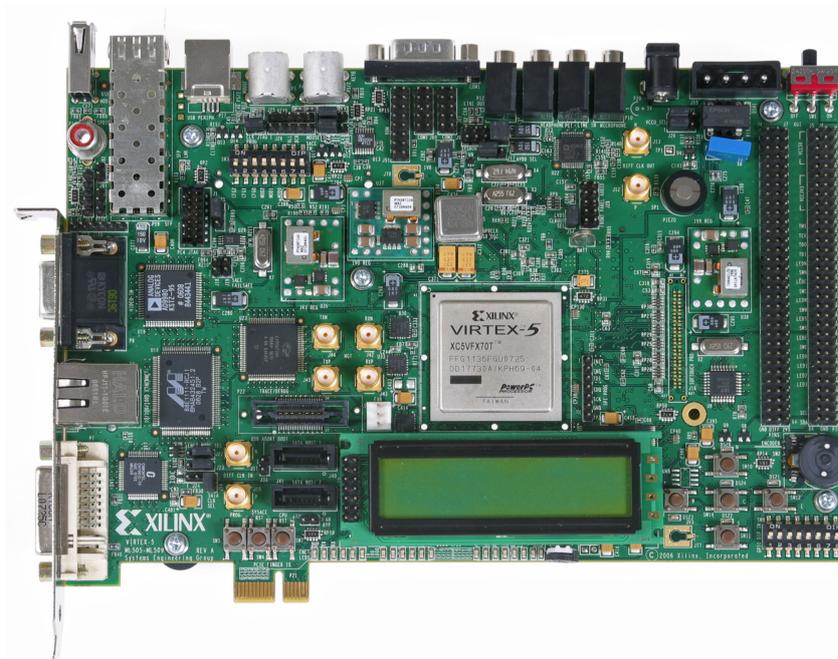


Figura 4.4: ML507: placa mãe usada pelo MobiDICK4

Módulo SFP

Para comunicação ótica com a gaveta, é utilizado um transceiver SFP *onboard*, ou seja, que já vem acoplado à placa mãe. Este componente, ilustrado na Figura 4.5, possui suporte para duas fibras, uma de entrada e outra de saída, ambas ligadas à gaveta, mais especificamente à Placa de Interface.

A fibra de escrita é responsável por enviar comandos de TTC. Este canal é a principal forma de comunicação entre o MobiDICK e a gaveta, permitindo que o primeiro requisite injeção de carga por parte dos 3-in-1, envie comandos de *trigger*,

etc. Sob pedido do MobiDICK, a gaveta envia de volta, pela fibra de leitura, os dados digitalizados fornecidos pelos Digitizers.



Figura 4.5: Módulo SFP utilizado para comunicação ótica com a gaveta

Mezanino Alta Tensão

A placa de Alta Tensão, foi especialmente projetada para o MobiDICK4, mas é baseada nas versões anteriores. Este mezanino implementa uma fonte de alimentação de alta tensão controlada por relé. A placa espera duas tensões de entrada, que devem ser fornecidas por um conversor externo: +24 V a 1 A e +5 V a 0.1 A.

Sob um sinal de controle TTL, fornecido pela FPGA da *motherboard*, uma tensão de -830 V é gerada na saída, alimentando as PMTs da gaveta. O mezanino, mostrado na Figura 4.6, conecta-se à placa mãe através dos conectores de expansão GPIO.



Figura 4.6: Placa Mezanino de Alta Tensão

LED driver

Diferentemente das versões anteriores do MobiDICK, agora as funcionalidade de HV e LED são implementadas por PCBs separados. A LED driver, foto na Figura 4.7, gera pulsos luminosos similares àqueles produzidos pela interação de

partículas com as telhas cintilantes do TileCal. Isto permite verificar o correto funcionamento das PMTs e também calibrar os canais de leitura.

A placa requer 3 diferentes tensões de alimentação para seu correto funcionamento: +5 V a 0,08 A, -12 V a 0,25 A e +24 V a 0,125 A. A partir de um comando da FPGA, um monoestável é acionado, gerando pulsos elétricos de 100 ns que ativam o LED, que por sua vez emite os sinais luminosos. A comunicação com a placa mãe também é feita através do conector GPIO.



Figura 4.7: LED driver

Interface do barramento CAN

Toda gaveta do TileCal contém 2 barramentos CAN: uma para o sistema de alta tensão (HV) e outro para o integrador (ADC-I); sistemas que não necessitam de um controle ou monitoramento tão rápido, justificando o emprego desta tecnologia.

Consequentemente, o MobiDICK disponibiliza também 2 barramentos CAN, permitindo comunicação e teste simultâneo de ambos. Para tanto, a FPGA central envia sinais no protocolo RS232 através de suas portas seriais *onboard*, às quais estão conectados adaptadores comerciais, o CAN232 [61, 62]. Estes adaptadores fazem a conversão elétrica e lógica dos sinais RS232 para o protocolo CAN, substituindo tanto o módulo VME TVME200 quanto os dois TIP816, empregados nas primeiras versões do sistema de testes. O componente é ilustrado na Figura 4.8.

Fornecimento de energia

O esquema de alimentação do MobiDICK4 é mostrado na Figura 4.9. O sistema conta com 3 fontes de alimentação. A principal é a fonte ATX comercial, que fornece potência para a maioria dos componentes e *daughterboards*. Adicionalmente, uma fonte dedicada, a LS150-24 [63], é utilizada para alimentar a placa de Alta Tensão. A placa mãe conta com um transformador próprio, integrado, para seu fornecimento



Figura 4.8: CAN232: adaptador comercial utilizado para conversão entre os protocolos RS232 e CAN. Extraído de [61]

de energia. Conversores DC/DC são empregados pontualmente para gerar tensões específicas [64, 65], conforme ilustrado no diagrama da Figura 4.9.

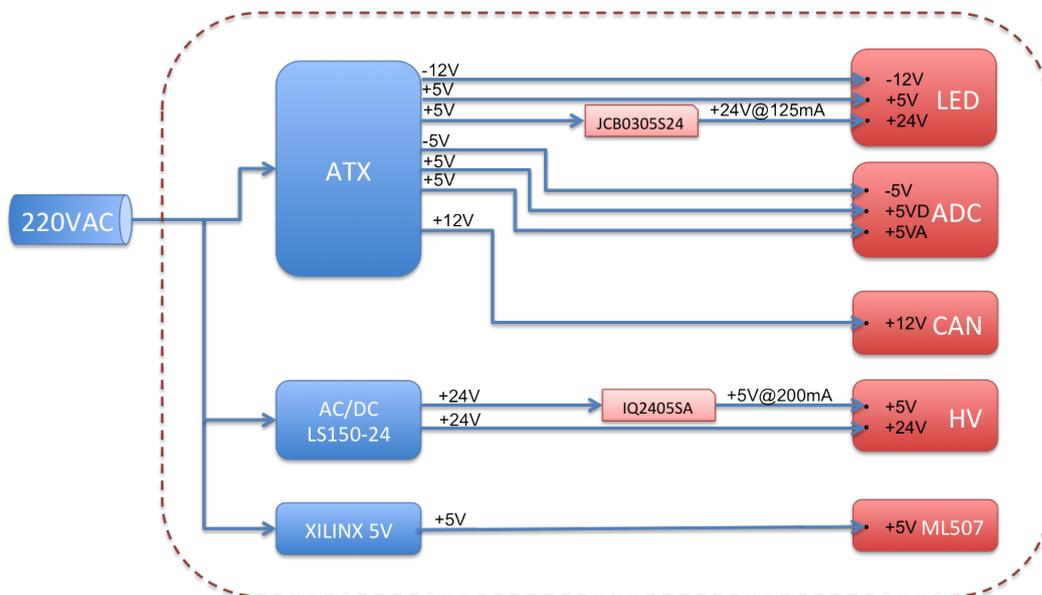


Figura 4.9: Esquema do fornecimento de potência empregado pelo MobiDICK4

Partes mecânicas e cabeamento

A caixa de alumínio que contém o novo MobiDICK é mostrada na Figura 4.10. No canto superior esquerdo estão localizados LEDs que indicam o status de 2 *daughterboards*: os 3 primeiros LEDs fornecem informação sobre a alimentação da Trigger Read Out Board e o restante indica o estado atual do mezanino de Alta Tensão. O monitor LCD exibe em duas linhas a informação sobre o estado geral do sistema. No canto superior direito localiza-se um fusível para o barramento CAN, que pode ser facilmente trocado em caso de falha.

No canto esquerdo, estão localizados os conectores para os dois cabos de saída analógica da gaveta, com informações de múon dos Somadores e também das Torres de Trigger. Logo abaixo está o conector que fornece a tensão de -830 V para as PMTs da gaveta. Ao centro, está o conector RJ45, para conexão ethernet entre o servidor e o cliente, e também os conectores para as duas fibras que permitem comunicação ótica com a gaveta. No canto direito, está o conector para o cabo CAN, que na verdade compreende 2 barramentos, conforme anteriormente explicado. Ainda no canto direito, estão os conectores utilizados para entregar os pulsos luminosos produzidos pela placa LED driver.

No parte traseira do MobiDICK4 e também na lateral direita foram colados suportes de borracha, para garantir a aderência do sistema em caso de superfícies lisas. Na lateral esquerda encontra-se uma alça de plástico, facilitando o transporte. A parte traseira também contém o conector para o cabo de alimentação principal, a 220 V, e ainda a saída dos *coolers* utilizados, que facilitam a circulação de ar dentro da caixa reduzindo as chances de falha térmica dos componentes.

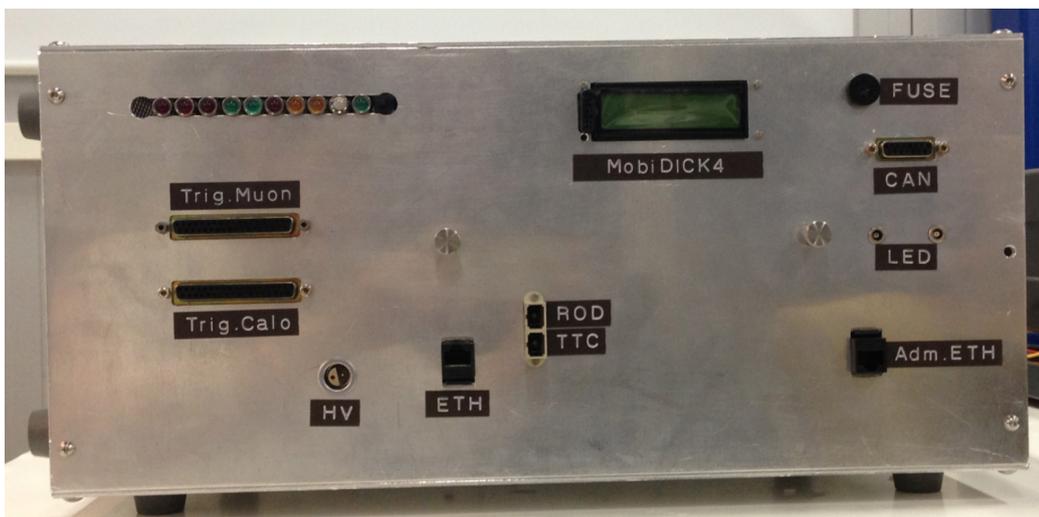


Figura 4.10: MobiDICK4

A maioria dos cabos utilizados no MobiDICK é comercial. No entanto, dois deles tiveram de ser produzidos especialmente para este projeto. Estes são os cabos de *trigger* e do barramento CAN.

Conforme explicado anteriormente, cada Somador fornece dois sinais de saída, a Torre de Trigger, com a soma de até 6 canais, e a saída de Múons, réplica do canal pertencente a célula D. As saídas de todos os Somadores de uma gaveta são condensadas em 2 cabos, um para a Torre e outro para Múons, que utilizam conectores do tipo SubD-37. Estes cabos são levados separadamente até o MobiDICK, conforme ilustrado na Figura 4.10, onde passam por um *patch pannel*, que rearranja todos os sinais antes que eles sejam levados até a Trigger Read Out Board, que disponibiliza

um SubD-50 para entrada de sinais. A Tabela 4.1 mostra o *pinout* desse *patch pannel* e, por consequência, o *pinout* dos cabos antes e depois do mesmo.

Sinal	SubD-37 (Torre)	SubD-50	Sinal	SubD-37 (Múon)	SubD-50
T1 +	1	9	M1 +	1	16
T1 -	20	42	M1 -	20	49
T1 D	2	26	M1 D	2	33
T2 +	21	8	M2 +	21	15
T2 -	3	41	M2 -	3	48
T2 D	22	25	M2 D	22	32
T3 +	4	7	M3 +	4	14
T3 -	23	40	M3 -	23	47
T3 D	5	24	M3 D	5	31
T4 +	24	6	M4 +	24	13
T4 -	6	39	M4 -	6	46
T4 D	25	23	M4 D	25	30
T5 +	7	5	M5 +	7	12
T5 -	26	38	M5 -	26	45
T5 D	8	22	M5 D	8	29
T6 +	27	4	M6 +	27	11
T6 -	9	37	M6 -	9	44
T6 D	28	21	M6 D	28	28
T7 +	10	3	M7 +	10	10
T7 -	29	36	M7 -	29	43
T7 D	11	20	M7 D	11	27
T8 +	30	2	Legenda: T ⇒ Torre de Trigger M ⇒ Saída de Múon + ⇒ Positivo - ⇒ Negativo D ⇒ Dreno		
T8 -	12	35			
T8 D	31	19			
T9 +	13	1			
T9 -	32	34			
T9 D	14	18			

Tabela 4.1: *Pinout* do *patch pannel* utilizado para os cabos de *trigger*

De forma oposta, ambos os barramentos CAN de uma gaveta viajam até o MobiDICK condensados em um único cabo, que utiliza um conector DB15, e o *patch pannel* do MobiDICK separa os dois barramentos e os distribui em dois conectores DB9. Os conversores CAN232 são então ligados a estes conectores e também às

portas RS232 da ML507. O *pinout* do *patch pannel* é mostrado na Tabela 4.2.

Sinal	Pino no DB15	Pino no DB9 (ADC-I)	Pino no DB9 (HV)
Reserved	1		
CAN HV L	2		2
CAN HV G	3		3
Reserved	4		
Shield	5	5	5
CAN ADC-I G	6	3	
CAN ADC-I L	7	2	
Reserved	8		
Reserved	9		
CAN HV H	10		7
Reserved	11		
CAN HV V+	12		9
Reserved	13		
CAN ADC-I V+	14	9	
CAN ADC-I H	15	7	

Tabela 4.2: *Pinout* do *patch pannel* utilizado pelos barramentos CAN

Laptop

Um *laptop*, foto na Figura 4.11, é utilizado exclusivamente pelo MobiDICK4. Equipado com Scientific Linux e ROOT, foi instalado no computador o Willy. Este programa, além de fazer o papel de cliente na comunicação com as outras peças de *hardware*, apresenta uma interface gráfica para o usuário, através da qual pode-se requisitar testes específicos e observar os resultados. Como possui acesso à internet, o computador permite ainda que seja feito uma comparação entre os resultados obtidos pelos testes e um banco de dados mantido pelo grupo do TileCal, que fornece informações sobre o estado da eletrônica de todas as gavetas.

4.3.3 Firmware

O centro controlador do novo MobiDICK é um processador PowerPC 440 [66, 67], embutido na FPGA. Este processador se conecta a diferentes *IP cores*, que são implementados usando os recursos lógicos da Virtex-5. Alguns destes *IP cores* foram desenvolvidos pelo grupo, outros disponibilizados pela Xilinx, mas todos se conectam ao processador como dispositivos escravo, através de um Barramento Local de Processamento (PLB, do inglês *Processor Local Bus*) [68, 69] de 32 bits.

O esquema de controle empregado pelo MobiDICK4 é ilustrado na Figura 4.12 e os principais *IP cores* utilizados serão descritos a seguir. A *firmware* do sistema foi



Figura 4.11: *Laptop* dedicado do MobiDICK4

desenvolvida utilizando a ISE [70] e o EDK [71] fornecidos pela Xilinx.

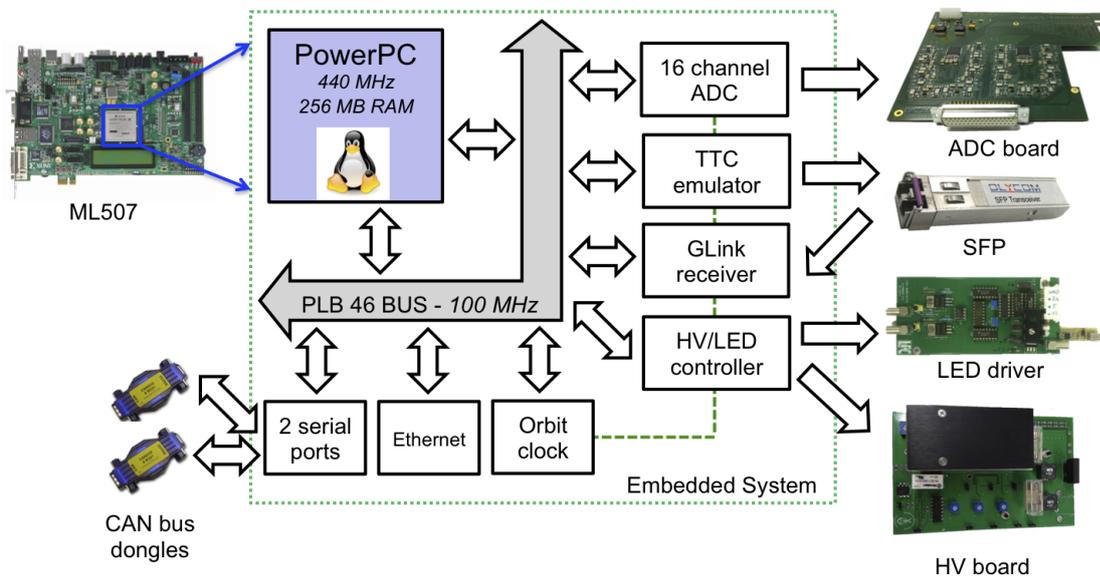


Figura 4.12: Esquema de controle implementado pela *firmware* do MobiDICK4

G-Link

Este IP core tem o papel de receber e decodificar o fluxo de dados que vem da Placa de Interface, através do módulo SFP, a uma taxa de 800 Mbps. Existem dois modos de operação:

- Modo Normal: os dados recebidos são guardados em uma memória FIFO de 32 Kb, para posterior leitura
- Modo CRC: os dados não são armazenados na memória, mas uma Checagem

Cíclica de Redundância é executada, procurando por erros na integridade do sinal ou no formato dos dados recebidos

Emulador do TTCvi

Esta parte da *firmware* é responsável por emular as funcionalidades do módulo TTCvi, utilizado nas primeiras versões do MobiDICK. Escrito em VHDL, este IP core utiliza multiplexação de dados e codificação BPM para enviar comandos ou sinais de *trigger* para a gaveta, através do transceiver ótico SFP.

Assim como o módulo TTCvi original, este emulador permite enviar comandos nos seguintes formatos:

- Curto, broadcast, síncrono
- Curto, broadcast, assíncrono
- Longo, unicast, assíncrono
- Longo, broadcast, assíncrono

As operações síncronas são executadas com o auxílio de uma memória FIFO, que armazena, junto com os comandos ou sinais L1A, os Bunch Crossing (BC) correspondentes à sua execução.

Este emulador conta ainda com três modos de operação, para geração dos sinais L1A: *trigger* único, *trigger* síncrono e modo rajada. Este último permite a geração de sinais nas seguintes possíveis taxas: 1 Hz, 100 Hz, 1 KHz, 5 KHz, 10 KHz, 25 KHz, 50 KHz and 100 KHz.

Orbit Clock

O Orbit IP core é um elemento chave, que possibilita a sincronização entre as diversas peças que compõem a *firmware* e também a sincronização entre os sinais L1A e seus respectivos BC. Para realizar esta tarefa, é gerado constantemente, a partir do *clock* de 40 MHz, um trem de pulsos com período de 89,1 μ s, correspondendo a 3564 BC. A cada pulso deste *clock*, os comandos e sinais de L1A armazenados na FIFO são executados.

Trigger Read Out Board

Este IP core recebe e paraleliza os dados dos 16 canais de ADC da Trigger Read Out Board, a 480 Mbps. A operação ocorre da seguinte maneira: primeiro, os dados digitalizados provenientes da TROB são armazenados em um *buffer*, uma memória

RAM de 24 Kb. Então, utilizando os recursos SERDES da Virtex-5 e alguma lógica extra para captar *frames*, os dados são continuamente paralelizados. Finalmente, sob um comando especial do IP core Emulador de TTCvi, os dados paralelizados são armazenado em uma memória FIFO, para posterior análise.

High Voltage e LED driver

Esta parte da *firmware* implementa uma simples interface de controle para as placas High Voltage e LED driver. Ela permite ligar ou desligar a saída de alta tensão da placa HV e controlar a geração de pulsos da LED driver. Esta geração de pulsos é internamente sincronizada com o Trigger Read Out Board IP core, permitindo que o armazenamento de dados na memória FIFO seja iniciado no momento correto.

4.3.4 Software

O *software* do MobiDICK pode ser dividido em duas partes: uma na ML507 e outra no *laptop* dedicado. Estas duas partes se comunicam através de um protocolo TCP/IP, numa arquitetura Cliente/Servidor.

O programa do cliente, conhecido como Willy, sofreu poucas alterações nesta nova versão do MobiDICK. Escrito em C++, este programa roda num *laptop* dedicado do MobiDICK, com sistema operacional Linux. Através de uma interface de usuário, o Willy permite que o operador escolha que tipos de teste o sistema deve executar. Então, de forma transparente para o usuário, o cliente começa a enviar comandos para o servidor, através da porta ethernet do *laptop*, requisitando os dados necessários para execução do teste. O servidor utiliza então as *daughterboards* para se comunicar com a gaveta e obter os dados requisitados, retornando-os como resposta ao cliente. Finalmente, o Willy faz uso de bibliotecas ROOT para interpretar os dados e dizer ao usuário qual a situação da peça de *hardware* testada, também através de sua GUI.

Optou-se por realizar o mínimo de interferências possível no Willy por dois motivos: primeiro, o programa é simples e robusto, tendo funcionado sem maiores problemas pelos últimos 10 anos. Como trata-se de *software*, não há nenhuma motivação para sua substituição. Segundo e mais importante: neste período de transição, utilizar a mesma interface gráfica das versões anteriores do MobiDICK traz certo conforto às equipes de manutenção, facilitando a aceitação da nova ferramenta. A interface de usuário é mostrada na Figura 4.13.

O *laptop* contém ainda um banco de dados local, contendo informações relevantes sobre todas as gavetas do TileCal. Através da internet, esse banco de dados pode ser atualizado, mantendo-se sincronizado com o banco de dados central do calorímetro. Isto permite que o operador do MobiDICK confira se, determinada falha detectada

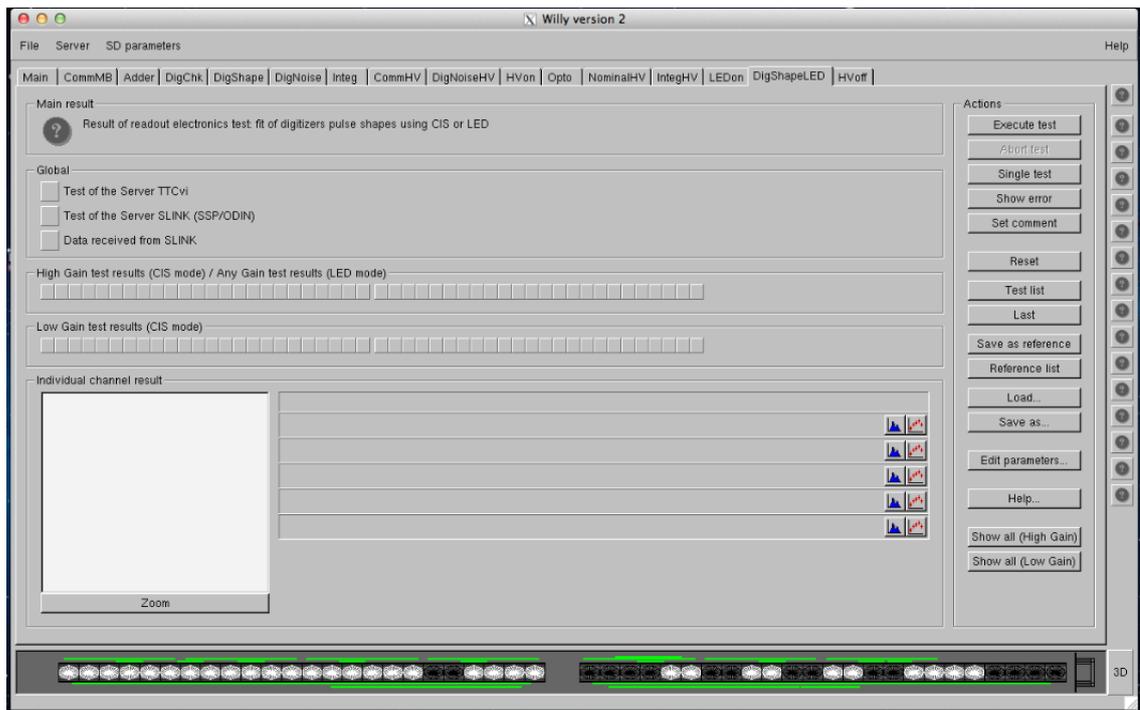


Figura 4.13: A interface gráfica apresentada ao operador do MobiDICK

em um teste, foi proveniente de uma intervenção recente ou já era um problema antigo apresentado pela gaveta.

Diferentemente do cliente, o programa do servidor passou por substanciais transformações. Nas primeiras versões, o programa era implementado num processador VME RIO2, com sistema operacional LynxOS. No MobiDICK4, o servidor é implementado no processador PowerPC, embutido na FPGA disponibilizada pela placa mãe. Neste processador, roda uma versão customizada do sistema operacional Linux, própria para sistemas embarcados.

O kernel do Linux foi combinado com o arquivo de configuração da FPGA e ambos foram armazenados na memória Compact Flash disponibilizada pela ML507. O arquivo resultante, um System ACE, contém todos os dados necessários para configurar a Virtex-5 e inicializar, sequencialmente, os blocos de memória RAM, a imagem do Linux e o processador. Quando a placa mãe é ligada, este arquivo é automaticamente carregado, inicializando o servidor.

Originalmente o código do servidor foi escrito em C e atualmente se encontra num misto de C e C++. A parte do programa responsável pela comunicação com o cliente foi mantida, assim como o algoritmo principal, utilizado para requisitar os dados da gaveta. No entanto, as bibliotecas que implementam os drivers para comunicação com as *daughterboards*, tiveram que ser totalmente modificadas, já que todo o *hardware* foi substituído nesta quarta versão do MobiDICK.

4.3.5 Testes realizados pelo sistema

A seguir, serão descritos brevemente os 11 testes que o MobiDICK é capaz de realizar, conforme detalhado em [47]. Também será abordado um novo teste, implementado especialmente para a quarta versão do sistema.

CommMB

Este é o primeiro e mais básico teste realizado pelo MobiDICK, tratando da eletrônica de leitura da gaveta. O objetivo é checar a comunicação com os 3-in-1 e com a ADC-I. Os seguintes passos compõem o teste:

1. Tenta-se estabelecer a comunicação com a ADC-I através do barramento CAN. Em caso de sucesso, o número serial da placa é lido
2. Os parâmetros da gaveta são obtidos a partir do banco de dados do MobiDICK e do número serial obtido no passo anterior, que é único entre todas as gavetas
3. Verifica-se a versão da *firmware* do ADC-I
4. Verifica-se a comunicação com todas as 3-in-1 da gaveta. Através de comandos TTC, os bits de controle destas placas são invertidos e os registradores de status são lidos de volta pelo barramento CAN, verificando se os comandos foram bem sucedidos

Adder

O propósito deste teste é checar a correta operação dos somadores, usando também o Sistema de Injeção de Carga das 3-in-1. Os seguintes passos compõem o teste:

1. Todas as 3-in-1 são configuradas para desabilitar o CIS. Então, os sinais provenientes dos Somadores são digitalizados e a média destes valores é considerada o pedestal de ruído de cada somador
2. A injeção de carga é habilitada em um 3-in-1
3. A saída dos somadores é novamente digitalizada e a diferença entre o valor obtido e o pedestal de ruído é calculada, comparando-se com o resultado esperado: o Somador conectado à 3-in-1 que foi habilitada, deve apresentar um aumento em sua saída proporcional à quantidade de carga que foi injetada, e todos os outros não devem apresentar nenhum aumento
4. Repete-se os passos 2 e 3 até que o CIS de todos os 3-in-1 tenha sido habilitado

DigShape

O propósito deste teste é checar as funcionalidades dos Digitizers e da eletrônica de leitura, também utilizando o CIS. O teste é realizado através das seguintes etapas:

1. O CIS de todos os 3-in-1 é habilitado e aplica-se uma quantidade baixa de carga, para testar o ganho alto dos 3-in-1. A saída dos Digitizers é então analisada, incluindo um fit do formato do pulso
2. O primeiro passo é repetido, porém usando uma alta quantidade de carga, para testar o ganho baixo dos 3-in-1
3. Como a injeção de carga é feita em todos os 3-in-1 simultaneamente, os dois primeiros passos só permitem analisar falhas nos Digitizers. Caso nenhuma falha tenha sido detectada, o passo 2 é repetido, porém com injeção de carga individual nos 3-in-1. Isto permite reconhecer se algum 3-in-1 está conectado ao Digitizer errado.

DigNoise

O propósito deste teste é medir o ruído nos Digitizers e analisar a integridade dos dados. Isto é feito através dos seguintes passos:

1. Os Digitizers são colocados em modo de calibração, permitindo leitura simultânea dos ganhos alto e baixo
2. O CIS dos 3-in-1 é desabilitado e 1000 amostras de ruído são lidas pelos Digitizers
3. Estas amostras são utilizadas para calcular a média (pedestal) e a variância do ruído (RMS) para cada canal

DigNoiseHV

Este teste executa os mesmos passos do teste anterior, porém com o sistema de alta tensão da gaveta ligado. Isto permite calcular a influência do sistema HV no pedestal de ruído dos Digitizers.

Integ

A finalidade deste teste é checar a linearidade e o nível de ruído na ADC-I e nos circuitos integradores de carga dos 3-in-1. Os seguintes passos compõem o teste:

1. Um valor de tensão fixo, fornecido por um DAC, é aplicado à entrada do circuito Integrador de Carga de cada 3-in-1
2. A saída do Integrador de Carga dos 3-in-1 é digitalizada pelo ADC-I
3. É calculado o valor do pedestal e RMS de cada canal, considerando 100 amostras
4. Aumenta-se um pouco o valor na saída do DAC e repete-se os passos 1 a 3, até que o limite de saída seja atingido
5. Calcula-se um *fit* dos valores de pedestal obtidos, verificando-se a linearidade e a inclinação da curva

IntegHV

Este teste executa os mesmos passos do anterior, porém com o sistema de alta tensão da gaveta ligado. Isto permite calcular a influência do sistema HV no pedestal de ruído do ADC-I.

CommHV

O propósito deste teste é checar a comunicação com o sistema de distribuição de alta tensão da gaveta. Isto é feito através das seguintes etapas:

1. Tenta-se estabelecer a comunicação com a HV-Micro através do barramento CAN. Em caso de sucesso, o registrador de status da placa é lido
2. Verifica-se a versão do *software* utilizada pela HV-Micro
3. Verifica-se os valores de tensão e temperatura monitorados pela HV-Micro
4. Os números de série da HV-Micro e da HV-Opto são comparados com aqueles esperados para determinada gaveta, a partir do banco de dados do MobiDICK

Opto

O propósito deste teste é verificar as funcionalidades do sistema de distribuição de alta tensão da gaveta, especialmente da HV-Opto. Os seguintes passos compõem o teste:

1. Desliga-se e liga-se eletronicamente os quatro interruptores de alta tensão da gaveta. Verifica-se se a operação foi concluída com sucesso

2. A alta tensão é estabelecida em 700 V, para todos os canais
3. Em cada canal, a tensão é medida e comparada com o valor estabelecido
4. A alta tensão é então estabelecida em 600 V, para todos os canais
5. Em cada canal, a tensão é medida e comparada com o valor estabelecido

NominalHV

O propósito deste teste é verificar a correta operação do sistema de distribuição de alta tensão da gaveta, particularmente a memória não-volátil da HV-Micro. O teste é realizado através das seguintes etapas:

1. Aplica-se o valor de tensão nominal de cada canal, de acordo com o que está armazenado na EEPROM da HV-Micro
2. Em cada canal, a tensão é medida e comparada com o valor nominal
3. Em cada canal, a tensão também é comparada com o valor esperado, a partir do banco de dados

DigShapeLED

A proposta deste teste é checar a resposta da gaveta a um pulso luminoso similar àqueles produzidos quando partículas atingem as telhas do TileCal. Os seguintes passos compõem o teste:

1. A placa LED driver é usada para gerar os sinais luminosos e o pulso é sincronizado com um sinal de *trigger* enviado à gaveta pelo sistema de TTC
2. As amostras digitalizadas fornecidas pelos Digitizers são lidas e analisadas, incluindo um fit do formato do pulso

StuckBits

Verificou-se que algumas vezes, ADCs de determinados Digitizers apresentavam bits "travados"[72]. Ou seja, alguns bits ficavam fixos em um valor alto ou baixo, independente da tensão na entrada do ADC. A ocorrência deste erro é rara, mas afeta severamente a qualidade dos dados adquiridos. Por isto, um novo teste foi desenvolvido nesta quarta versão do MobiDICK, realizado da seguinte maneira:

1. Sequencialmente, diversos pulsos são aplicados aos Digitizers, variando-se amplitude, fase e pedestal. Isto força a variação de todos os bits dos ADCs

2. Um bit é determinado como travado se, para todos os pulsos injetados, tiver mantido o mesmo valor, alto ou baixo

Capítulo 5

Trigger Read Out Board

Conforme explicado no Capítulo 2, os Somadores são placas de circuito impresso localizadas dentro das gavetas do TileCal. Sua função é fornecer os sinais que o TileCal disponibilizará ao sistema de *trigger* do ATLAS. Cada Somador tem como entrada os dados de até 6 PMTs (após passarem pelo shaper e circuito de ganho dos 3-in-1) e apresenta 2 saídas. A primeira saída, conhecida como Torre de Trigger (vide Figura 2.16), fornece a soma de todas as PMTs conectadas ao Somador, gerando assim um pulso cuja amplitude é proporcional à energia que determinada partícula deixou no calorímetro. A soma é realizada para reduzir a quantidade de informações que tem de ser processada pelo primeiro nível de *trigger*. A segunda saída do Somador apresenta uma réplica, exceto por um fator de ganho, do canal de entrada correspondente à PMT da célula D do TileCal. Esta saída é conhecida como Saída de Múon porque, frequentemente, todas as partículas são absorvidas pelo calorímetro até a camada BC, e somente múons deixam algum sinal na camada D do Tile. Assim, este canal de saída do Somador pode ajudar no *trigger* de múons do ATLAS, mesmo o TileCal não tendo sido projetado com este propósito.

Ambas as saídas dos Somadores são analógicas. Logo, para que este PCB possa ser testado pelo MobiDICK4, é necessário que seja feita uma conversão analógico-digital destes sinais, permitindo que ele seja avaliado pelo circuito digital do servidor. Com este intuito, foi desenvolvida a Trigger Read Out Board, ou TROB.

5.1 Visão Geral

O diagrama em blocos esquematizado na Figura 5.1 fornece uma visão geral das funcionalidades presentes na TROB. Conforme explicado anteriormente, a função deste PCB é realizar a leitura dos canais de *trigger* do TileCal (as saídas dos Somadores) e digitaliza-los, disponibilizando-os em níveis de tensão adequados para que

possam ser processados pela placa mãe do MobiDICK4.

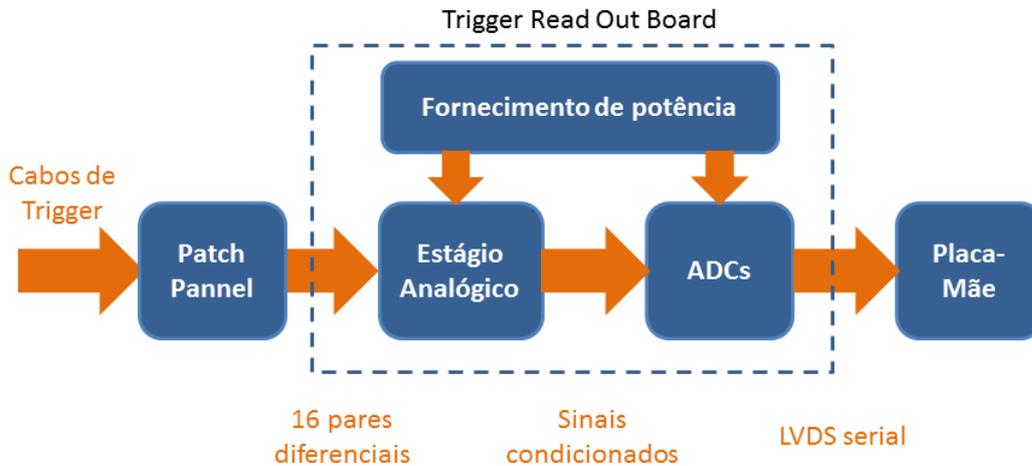


Figura 5.1: Visão geral da Trigger Read Out Board

Um módulo LB do TileCal conta com 9 Somadores. Todos disponibilizam suas saídas de Torre de Trigger, mas apenas 7 deles contam com Saídas de Múons, restringido pelo número de canais disponíveis na camada D do módulo. Um módulo EB, por outro lado, conta com 7 Torres de Trigger e 5 Saídas de Múon. Para que um único sistema fosse capaz de servir para teste dos dois tipos de módulos, a TROB foi projetada para receber simultaneamente 16 canais, correspondendo às 16 saídas de *trigger* de um módulo LB (9 saídas de Torre + 7 de Múons).

Assim, os cabos de *trigger* chegam ao MobiDICK4 e passam por um *patch pannel*, que condensa todos os sinais e, internamente, os leva até o conector SubD-50 na entrada da TROB. Os 16 pares de sinais passam então por um estágio analógico, que possui 3 funções:

- Transformar os sinais diferenciais para *single-ended*
- Adequar os níveis de tensão dos sinais à entrada dos ADCs
- Implementar filtros *anti-aliasing*

Uma vez que os sinais tenham sido conformados pelo estágio analógico, eles são levados aos ADCs, que os digitaliza e disponibiliza a informação em 16 canais seriais, no formato LVDS. Finalmente, os dados são levados até um conector de uso comum, que por sua vez se liga aos conectores de expansão da placa mãe.

Finalmente, um esquema de alimentação é responsável por receber energia em ± 5 V, disponibilizada pelo MobiDICK4, e isolar e estabilizar estas fontes, convertendo os níveis de tensão para $\pm 3,3$ V. Um esquema especial de distribuição garante

o fornecimento de potência para todos os CIs da placa, possibilitando o correto funcionamento da mesma.

5.2 Esquemático

Nesta seção, serão apresentados maiores detalhes da Trigger Read Out Board, através da exibição de partes do esquemático utilizado. Também serão especificados os principais componentes utilizados.

Conector de entrada

Pelos motivos previamente apresentados, a TROB deve ser capaz de receber 16 canais de leitura analógica. Estes canais são diferenciais e contam ainda com terra, totalizando 48 pinos a serem recebidos, um dos motivos pelo qual o SubD-50 [73] foi escolhido como conector de entrada. O terra de cada canal é diretamente conectado ao terra da placa, como ilustrado na Figura 5.2.

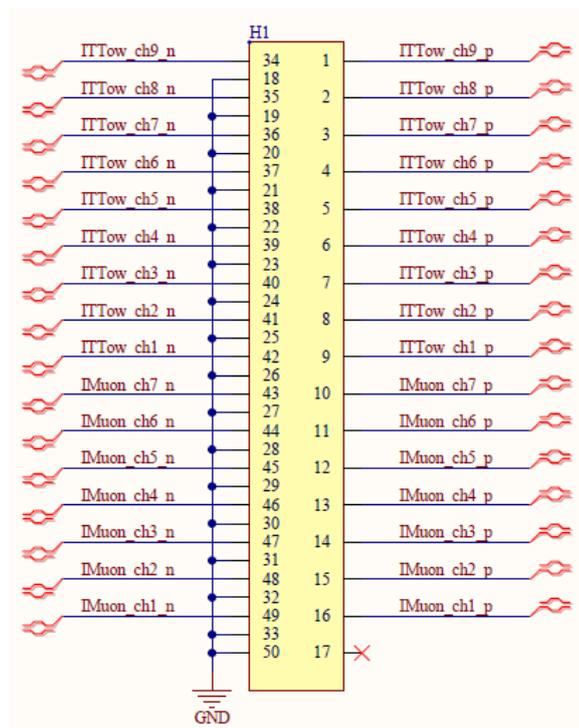


Figura 5.2: Esquemático do conector de entrada usado na TROB

Estágio analógico

Após a chegada na placa, cada canal é levado até um estágio analógico, responsável pelo condicionamento do sinal antes que o mesmo possa ser digitalizado. O

estágio analógico de um dos canais é mostrado na Figura 5.3. A primeira função deste circuito é manter a impedância dos cabos de *trigger*, de 50 ohms, evitando indesejáveis reflexões de sinal. Isso é feito através do resistor R4 da figura.

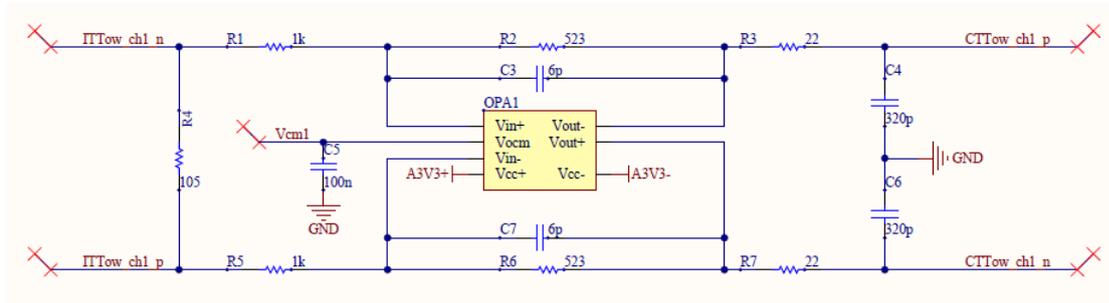


Figura 5.3: Estágio analógico de um dos canais de leitura

O próximo passo é limitar a excursão do sinal de entrada. Em modo diferencial, a saída do Somador atinge até 4 V pico-a-pico [34]. Por outro lado, o ADC escolhido aceita uma entrada diferencial de, no máximo, 2 V pico-a-pico. Já que tanto a entrada como a saída do estágio analógico devem permanecer diferenciais, optou-se pelo emprego de um amplificador operacional totalmente diferencial, utilizando uma topologia recomendada em [74]. A redução da amplitude do pulso de entrada é feita através dos resistores de realimentação, R2 e R6, e do paralelo dos resistores de ganho, R1 e R5, com o terminador, R4. O amplificador operacional escolhido foi o THS4151 [75], por apresentar, entre outras características, baixa distorção harmônica e excelente rejeição de modo comum.

A última finalidade do estágio analógico de cada canal é implementar um filtro *anti-aliasing* [76]. O objetivo deste filtro é garantir que, durante o processo de amostragem, não sejam inseridas distorções de *aliasing* no sinal digital. Essa anomalia ocorre quando a taxa de amostragem utilizada é menor que o dobro do componente espectral de maior frequência presente no sinal a ser digitalizado.

Para prevenir esse efeito indesejável, forçamos a passagem do sinal por um filtro passa-baixa, que, quando corretamente projetado, transmite o sinal de entrada sem grandes distorções e bloqueia os componentes de alta frequência (normalmente ruído) que poderiam causar *aliasing*. Diferentes topologias de filtro podem ser empregadas [74, 77], mas nesse caso optou-se por uma implementação em duas etapas. A primeira, é um filtro ativo composto pelo paralelo dos resistores R2 e R6 com os capacitores C3 e C7, no caminho de realimentação do operacional. A segunda etapa tem por objetivo diminuir a região de transição do filtro, tornando mais acentuada a rejeição de componentes de alta frequência. Isto é realizado através dos resistores R3 e R7 e dos capacitores C4 e C6.

Conversor analógico-digital

O componente escolhido para efetuar a conversão analógico-digital foi o ADS5271 [78]. Esse ADC de alta performance conta com circuito de *sample-and-hold* simultâneo, PLL integrada e baixo consumo de potência. Porém, sua principal característica é a alta densidade, conseguindo compactar 8 canais digitalizadores em um pequeno chip TQFP-80. Como um dos objetivos na construção do MobiDICK4 era a redução do tamanho do sistema, essa é uma importante qualidade, haja visto que, com apenas 2 desses chips, todos os 16 canais analógicos de um módulo do Tile podem ser digitalizados, garantindo que a TROB ocupe muito pouco espaço.

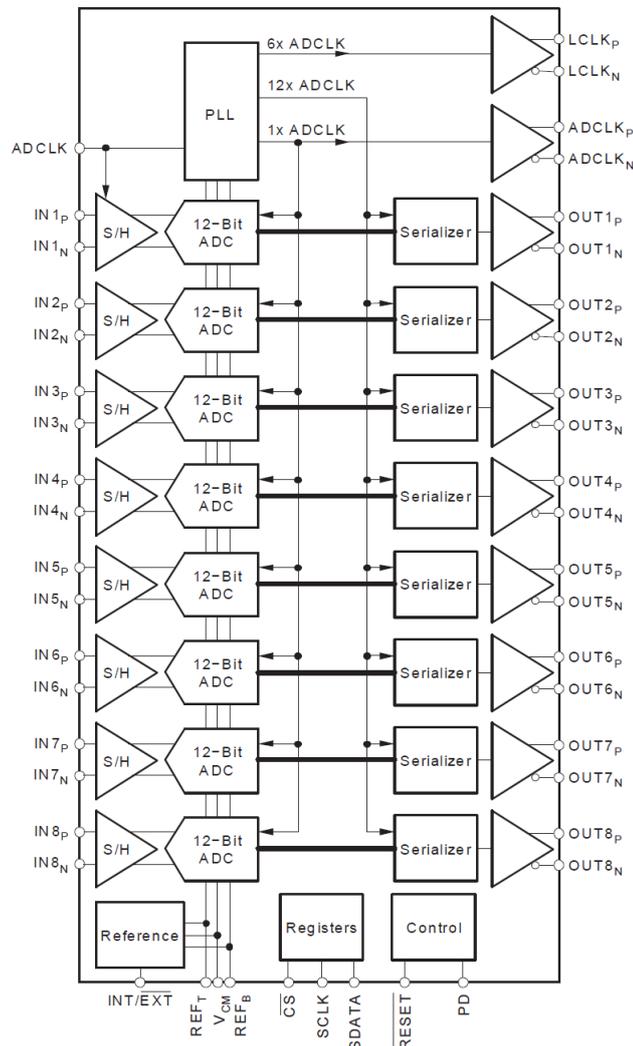


Figura 5.4: Esquema de digitalização empregado pelo ADS5271

A Figura 5.4 ilustra o esquema de digitalização empregado pelo ADS5271. Juntamente com os 8 canais de leitura analógica, o usuário deve fornecer um sinal de *clock*,

de até 50 MHz, que será utilizado pelo circuito de *sample-and-hold*. Cada amostra é então digitalizada com 12 bits. A PLL interna multiplica o *clock* de entrada por 12 e o entrega ao circuito serializador. Finalmente, os 12 bits de cada amostra digitalizada são disponibilizados no formato LVDS serial. Além dos 8 canais de saída, o ADC ainda oferece ao usuário dois sinais de *clock*. O primeiro, $ADCLK_{P/N}$, está sincronizado com as amostras, indicando o início de cada palavra. O segundo, $LCLK_{P/N}$, está numa frequência 6 vezes maior do que o *clock* de entrada. Quando se considera as bordas de subida e descida desse sinal, obtém-se um *clock* sincronizado com cada bit fornecido.

As entradas diferenciais do ADS5271 devem ter no máximo $2V_{pp}$ com uma tensão em modo comum de 1,45 V. Convenientemente, essa tensão de referência é internamente gerada pelo ADC, simplificando bastante o circuito analógico de apoio.

Finalmente, o ADS5271 conta ainda com 2 pinos de controle, *Reset* e *Power Down*, e 3 pinos para comunicação serial, que controlam registradores internos do chip. Estes registradores determinam certas características dos sinais de saída, como o primeiro bit de cada amostra a ser transmitido, MSB ou LSB, e a intensidade da corrente utilizada.

A Figura 5.5 ilustra as conexões empregadas para um dos ADS5271 da TROB.

Clock

O *clock* para os ADCs, de 40 MHz, é gerado na própria TROB por um oscilador. Apesar do baixo custo, o FXO-HC735-40 [79] apresenta alta estabilidade, alta resolução em frequência e *jitter* extremamente baixo.

Como são necessários dois sinais de *clock* sincronizados, um para cada ADC, optou-se pelo emprego de um *clock buffer*. O CDCLVC1102 [80], consegue realizar esse *fan-out* de 1:2 com baixíssimo *skew*, motivo pelo qual foi escolhido.

A Figura 5.6 ilustra esse esquema de geração e distribuição de *clock*.

Fornecimento de energia

A Figura 4.9 ilustra a entrega de energia do MobiDICK4 à TROB, em 3 diferentes tensões: ± 5 V para alimentação analógica e +5 V para alimentação digital. Dentro da Trigger Read Out Board, estes valores devem ser transformados para $\pm 3,3$ V e +3,3 V, respectivamente. O esquema para realizar estas conversões é mostrado na Figura 5.7. Os reguladores utilizados foram o LT1529-3.3 [81], o LT3015 [82] e o TPS73633 [83].

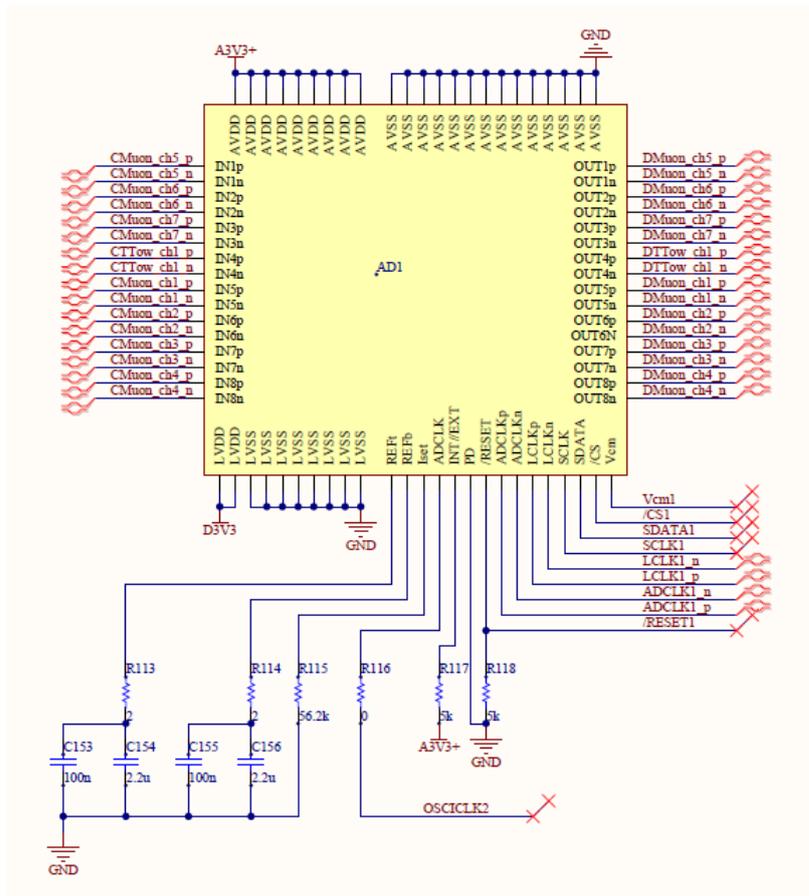


Figura 5.5: Esquemático utilizado pelos conversores analógico-digital da TROB

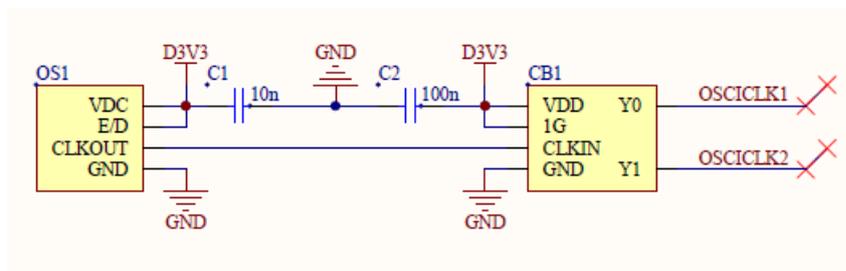


Figura 5.6: Circuito de geração e distribuição de *clock* empregado pela TROB

Conector de saída

A TROB se comunica com a *motherboard* do MobiDICK4 através dos conectores de expansão GPIO dessa. O primeiro conector, identificado na Figura 5.8 como H3, se conecta a 32 pinos da Virtex-5, divididos em 16 pares diferenciais. Estes são usados para transmitir as saídas LVDS dos 16 canais digitalizadores, provenientes dos dois ADCs.

O segundo conector, H4, contém todos os sinais de *clock*, os sinais de controle e os pinos de acesso aos registradores dos ADCs. Ainda, 16 pinos desse conector

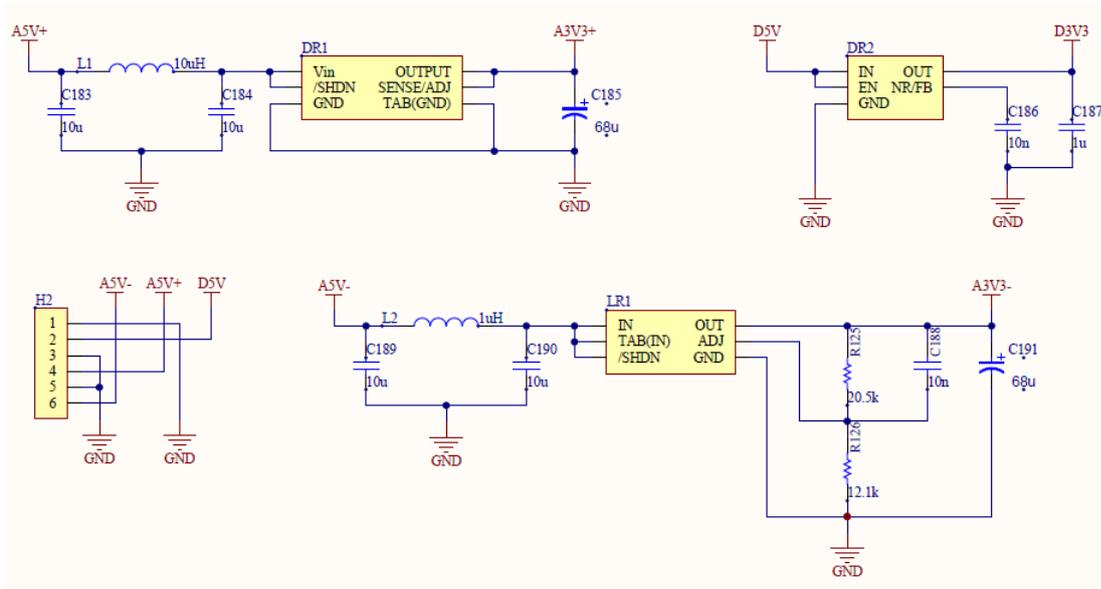


Figura 5.7: Esquema de alimentação utilizado pela TROB

estão diretamente ligados a um terceiro conector. O H5 tem por objetivo garantir o acesso de outros mezzaninos, Alta Tensão e LED driver, à placa mãe. Isto porque a TROB é posicionada diretamente sobre a ML507, impossibilitando o acesso de outros mezzaninos ao conector de expansão, a não ser dessa maneira.

A Figura 5.8 mostra as conexões dos três conectores mencionados.

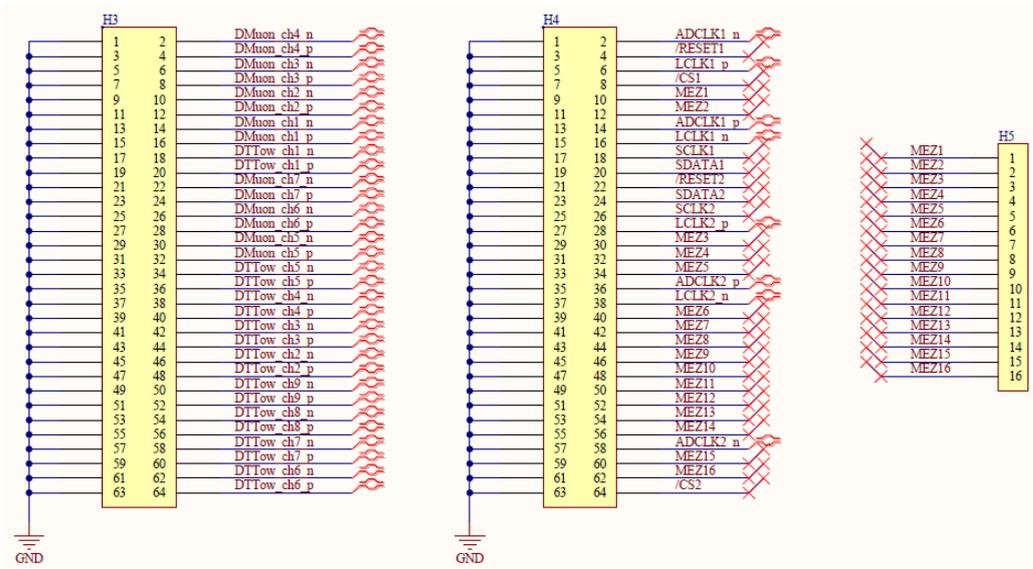


Figura 5.8: Conectores de saída da TROB

5.3 Simulações Computacionais

Para garantir que o estágio analógico da placa desempenhe seu papel corretamente, conformando os sinais de entrada aos limites impostos pelo ADC, simulações computacionais foram realizadas. Esse trabalho foi feito com a ajuda do programa PSPICE e do modelo numérico do THS4151, fornecido pela Texas Instruments.

O circuito utilizado na simulação é mostrado na Figura 5.9. Observe que, à saída do estágio analógico, foram acoplados componentes que modelam o circuito de entrada do ADS5271 conforme indicado em [78]. A fonte é modelada a partir de um arquivo de texto, obtido junto ao banco de dados do TileCal, que descreve um pulso típico do calorímetro, após o circuito de shapper do 3-in-1.

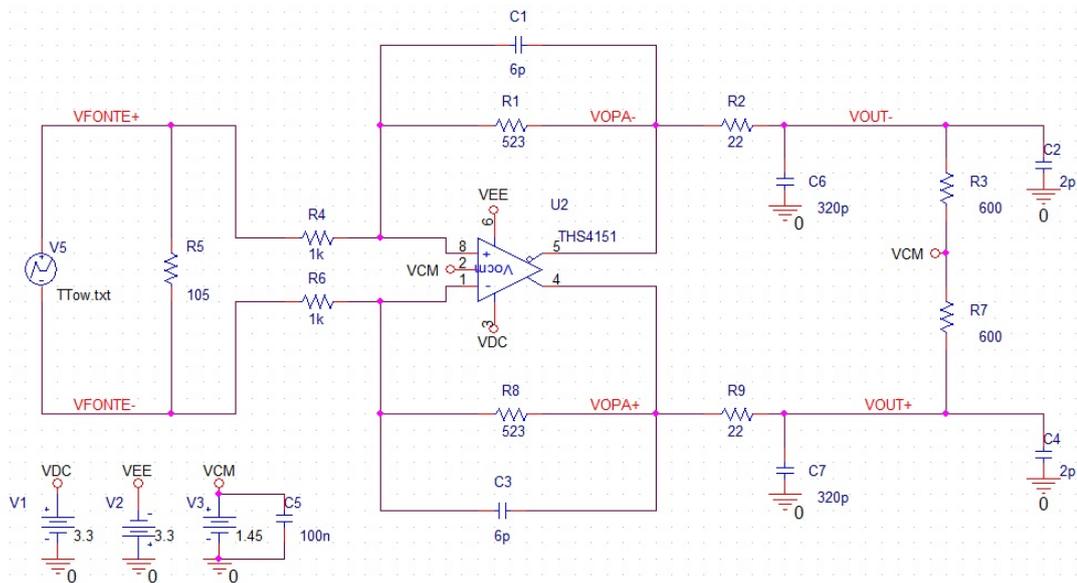


Figura 5.9: Circuito utilizado para simulação do estágio analógico

O resultado da simulação transiente é mostrado na Figura 5.10. O sinal diferencial de um pulso do Tile com máxima amplitude é ilustrado pela curva em azul. A resposta do operacional totalmente diferencial é mostrado em preto, evidenciando a redução de 4 para 2 V_{pp} . O pulso em vermelho mostra o sinal diferencial que é entregue ao ADC, após o filtro RC passivo. No gráfico, observa-se ainda que a imposição do ADS5271, de que os sinais diferenciais de entrada tenham modo comum de aproximadamente 1,45 V, é respeitada, como ilustrado pela curva em verde.

Por inspeção visual da Figura 5.10, pode-se observar que o estágio analógico da TROB não interfere significativamente na forma do sinal. Porém, uma comparação numérica entre as principais características do pulso, antes e depois de sua passagem por esse circuito, pode ajudar na verificação. A comparação é feita na Tabela 5.1.

O segundo objetivo da simulação computacional é garantir que não haja pro-

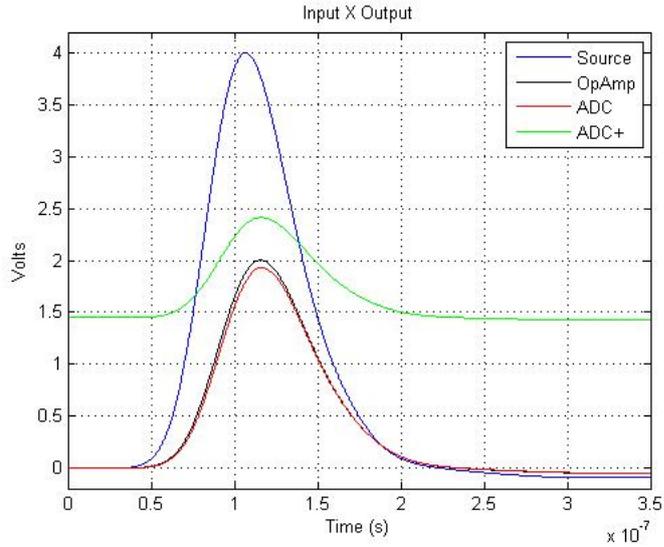


Figura 5.10: Simulação da resposta transiente do estágio analógico da TROB a um pulso do TileCal

	Sinal de entrada	Após estágio analógico
Tempo de subida (ns)	34,8	36,6
Tempo de descida (ns)	59,9	63,3
Largura à meia altura (ns)	61,4	73,8

Tabela 5.1: Características do pulso proveniente do Somador, antes e após sua passagem pelo estágio analógico da TROB

blemas de *aliasing* durante a digitalização. A taxa de amostragem utilizada pelos ADCs é de 40 MHz, um padrão em diversos sistemas do ATLAS por ser a mesma taxa de *clock* fornecida pelo TTC. Assim, para garantir que a taxa de Nyquist seja respeitada, é necessário que a banda do sinal entregue ao ADC seja limitada em até 20 MHz. Como o sinal proveniente do Somador tem largura de banda de aproximadamente 8 MHz [34], a distorção causada pelo filtro passa-baixa deve ser mínima, desde que este tenha sido corretamente projetado.

A Figura 5.11 mostra a resposta em frequência do sistema, para frequências variando de 1 Hz até 1 GHz. Como pode ser visto, sinais de até 10 MHz passam pelo estágio analógico praticamente inalterados. Por outro lado, componentes espectrais acima dessa frequência são atenuados.

Na Figura 5.11, a linha verde mostra resposta do filtro ativo implementado pelos capacitores no caminho de realimentação do operacional. A curva vermelha ilustra o ganho de atenuação na faixa de corte, fornecido pelo filtro RC após o operacional. Ao final da passagem pelo estágio analógico, componentes espectrais de 20 MHz são atenuadas em 3 dB, praticamente eliminando o efeito de *aliasing*.

Considerações sobre o trabalho de *layout* da TROB são apresentadas no Apên-

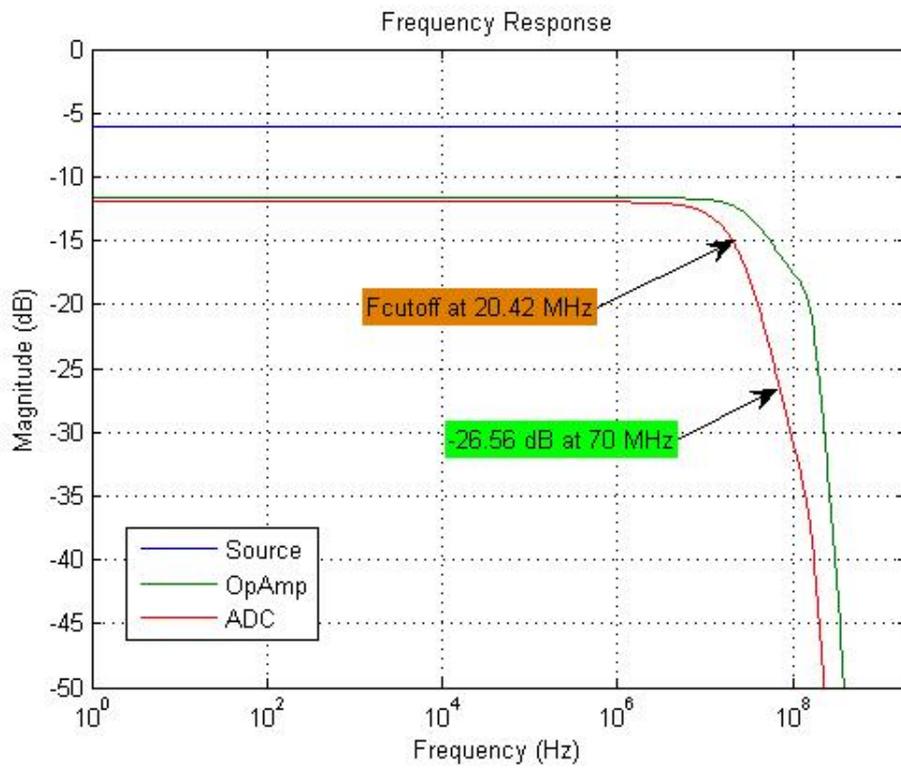


Figura 5.11: Resposta em frequência do estágio analógico

dice B.

Capítulo 6

Resultados

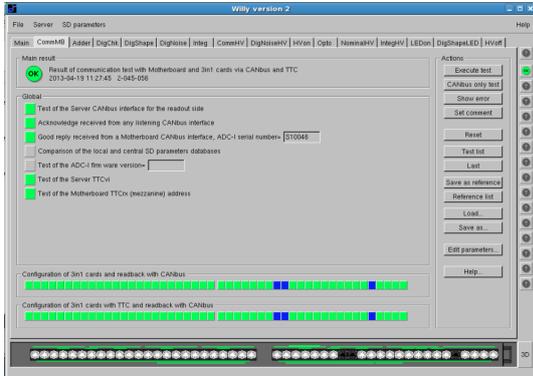
O MobiDICK4 foi finalizado em Abril de 2013 e, após um rápido período de ajustes, o sistema estava totalmente funcional. A nova ferramenta conseguiu executar todos os testes descritos na Subseção 4.3.5. *Screenshots* de alguns desses testes são mostrados na Figura 6.1.

A remoção do *crate* VME de dentro da caixa do MobiDICK permitiu grandes reduções de volume e peso nessa nova versão da ferramenta. Este processo ainda foi beneficiado pela substituição de placas VME por IP cores implementados na ML507 e PCBs customizados com tamanho reduzido.

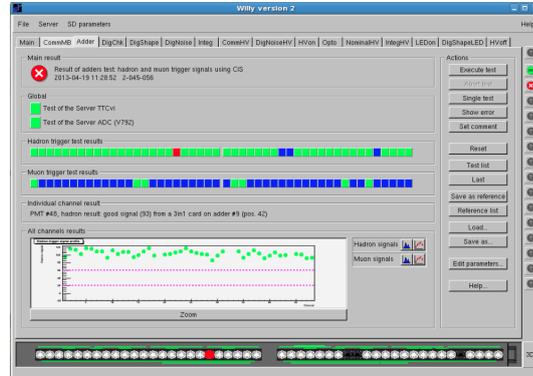
Como a caixa MobiDICK4 tem de servir de base para o *laptop*, não era interessante que fossem realizadas grandes reduções na largura ou na profundidade da estrutura de alumínio. Assim, o foco da redução volumétrica recaiu sobre a altura do novo sistema, que foi limitada à metade da anterior. Porém, a mais significativa melhoria trazida pela quarta versão do MobiDICK, do ponto de vista mecânico, foi a grande redução de peso, de 80% sobre o valor original. Estes fatores se convertem num aumento de mobilidade da ferramenta, facilitando enormemente o trabalho de verificação da eletrônica do detector. Um comparativo de dimensões e peso entre a terceira e a quarta versão do MobiDICK é mostrado na Tabela 6.1.

	MobiDICK3	MobiDICK4
Largura (cm)	50	40
Altura (cm)	41	20
Profundidade (cm)	33	35
Volume (cm ³)	67650	28000
Peso (Kg)	20	4

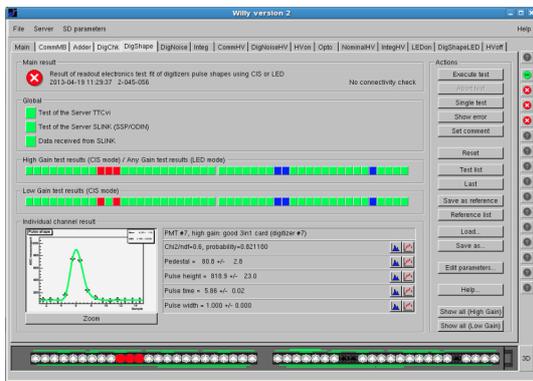
Tabela 6.1: Comparativo de dimensões e peso entre a terceira e a quarta versão do MobiDICK



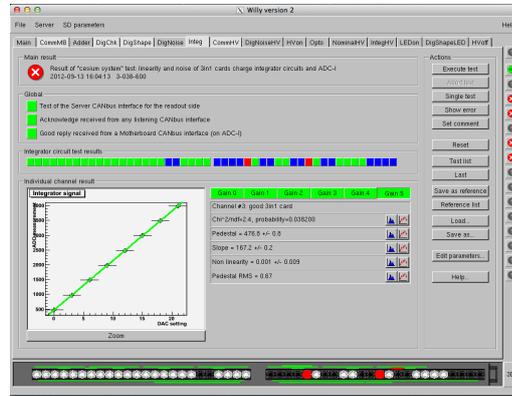
(a) CommMB



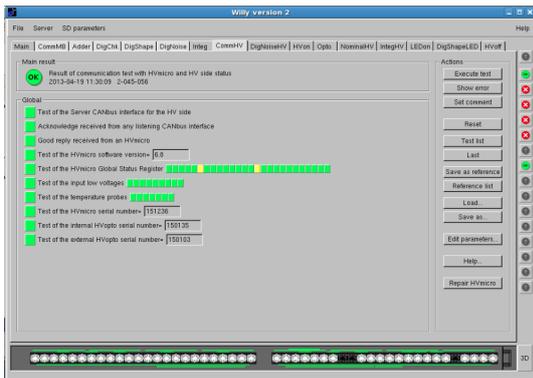
(b) Adder



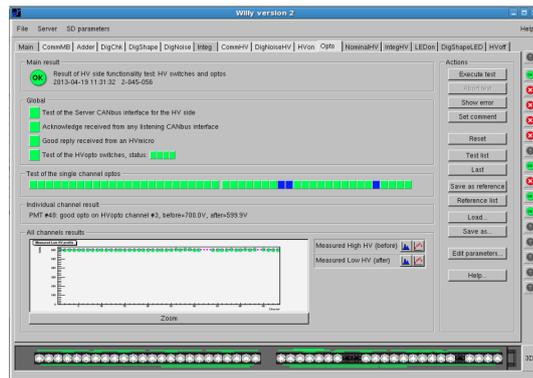
(c) DigShape



(d) Integ



(e) CommHV



(f) Opto

Figura 6.1: Alguns testes executados com auxílio do MobiDICK4

Como certas especificações das novas gavetas do TileCal ainda não estão totalmente definidas, o atual sistema não é capaz de implementar alguns testes para essa nova eletrônica. No entanto, a tecnologia empregada no MobiDICK4 foi escolhida/desenvolvida visando a facilidade de implementação desses novos testes. A FPGA utilizada e seu processador embutido contam com capacidade para realizar testes bem mais avançados, e em maior velocidade, do que aqueles desenvolvidos nas primeiras versões do MobiDICK. Além disso, graças à modularidade do sistema, eventuais modificações de *hardware* que se façam necessárias podem ser realizadas com relativa simplicidade, haja visto que a base da ferramenta já está pronta. O emprego de tecnologia de ponta ainda nos leva a crer que as peças comerciais utilizadas estejam disponíveis no mercado por muito tempo, resultando em um longa expectativa de vida útil para o MobiDICK4.

6.1 Trigger Read Out Board

A Trigger Read Out Board é o PCB customizado de maior complexidade desenvolvido pelo grupo do MobiDICK. O principal desafio foi a alta densidade da placa, com a necessidade de compactação de 16 canais de digitalização em uma pequena e irregular área útil. Ainda, a necessidade de equalização das trilhas em diversos estágios foi particularmente trabalhosa, especialmente pelo fato de existirem apenas 2 camadas disponíveis para roteamento (por questões de custos decidiu-se que a TROB não deveria ter mais do que 4 camadas). Apesar dessas dificuldades, o projeto foi levado até o final e, após alguns protótipos, uma versão final foi produzida, atendendo às necessidades do MobiDICK4. Uma foto do PCB é mostrada na Figura 6.2

Após a produção da versão final da TROB, ainda havia o desafio do desenvolvimento da *firmware* responsável pelo controle desse PCB. Esta etapa também demandou grande esforço, devido à peculiaridade do processo de comunicação com os registradores do ADS5271, o ADC utilizado. Com a conclusão de mais esse estágio, finalmente foi possível ler na placa mãe informação proveniente dos canais analógicos dos Somadores. Um pulso adquirido com o MobiDICK4 é mostrado na Figura 6.3.

Também foi feito um teste para verificar a linearidade da TROB. Esse teste consiste em aplicar uma pequena quantidade de carga em um 3-in-1 e olhar para a saída do canal correspondente na TROB. Observa-se o valor de pico do pulso e repete-se o procedimento 100 vezes. Na Figura 6.4, cada ponto representa uma média estatística dessas 100 medidas, com o traço vertical indicando o desvio padrão. A quantidade de carga injetada é então aumentada gradativamente e de forma linear, permitindo a construção dos demais pontos. A Figura 6.4 mostra, como exemplo, o resultado do teste para um dos canais da TROB, nesse caso uma Torre de Trigger. A



Figura 6.2: Versão final da Trigger Read Out Board

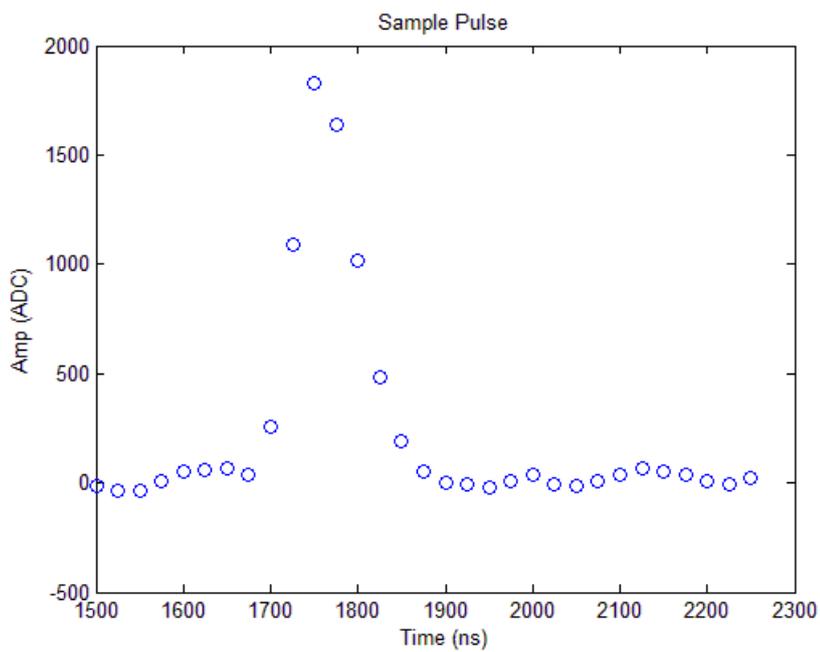


Figura 6.3: Um pulso proveniente de uma das Torres de Trigger do Tile, adquirido com o auxílio do MobiDICK4

faixa de operação do Somador é especificada como 0 a 120 pC (uma unidade padrão usado pelo grupo do Tile, diretamente relacionada à energia das partículas incidentes) e a linha contínua no gráfico representa um *fit* dos pontos nessa faixa, ilustrando a linearidade dos canais de digitalização da TROB, uma importante característica. Após os 140 pC, o próprio Somador começa a saturar, impossibilitando que a resposta

se mantenha linear.

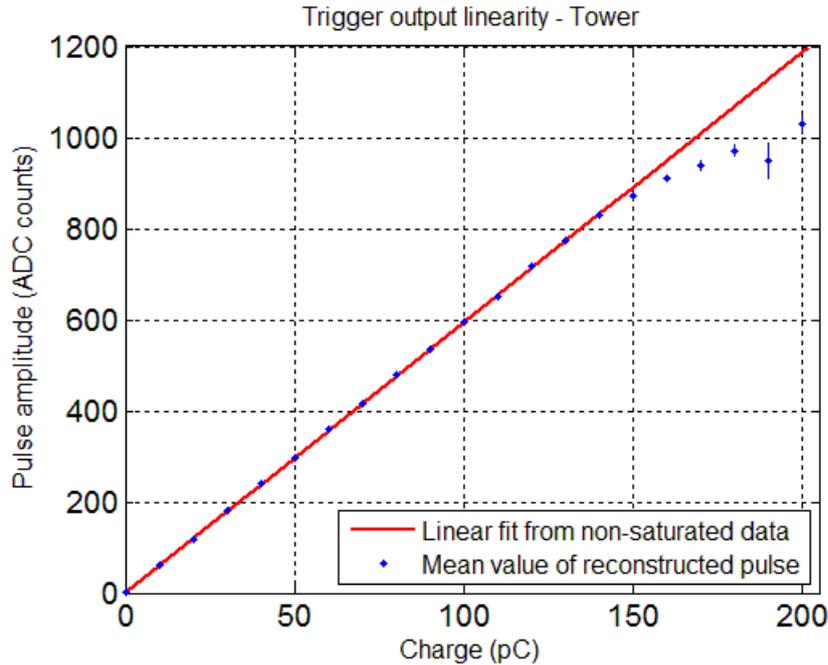


Figura 6.4: Teste de linearidade para um dos canais da TROB

6.2 Comissionamento e estudo da Saída de Múons

O MobiDICK4 vem tendo um papel fundamental para a Fase 0 de *upgrade* do TileCAL, sendo utilizado na verificação eletrônica de todos os módulos do detector e também na análise e comissionamento do sinal de múons, um ponto chave para o projeto Tile-Muon.

Atualmente, a Receiver Board encontra-se em fase final de produção, faltando apenas alguns ajustes. Após esse processo, ainda será necessário que se desenvolva a *firmware* do sistema, que sejam realizados testes e, possivelmente, correções de PCB, antes que o primeiro protótipo esteja funcional. Só então seria possível iniciar uma coleta de dados de teste, que seriam usados no projeto do filtro casado responsável pela detecção de múons.

Para agilizar esse processo, seria interessante que fosse feito um estudo profundo e atualizado sobre as Saídas de Múons do Somador, evidenciando principalmente as características do ruído encontrado nesses canais. Paralelizando o trabalho dessa maneira, quando a *firmware* da Receiver Board estiver pronta, já poderia ser implementado na FPGA um filtro digital próximo de sua versão final.

No entanto, como mencionado anteriormente, até hoje essas Saídas de Múons não eram utilizadas, de forma que tal estudo nunca foi realizado. A bem da verdade, o

TileCal nem mesmo possui uma infraestrutura específica que possibilite a leitura e processamento da informação presente nesses canais.

Felizmente, o MobiDICK4 também faz parte do contexto de *upgrade* do ATLAS. Uma das vantagens dessa ferramenta em relação a suas versões anteriores é sua flexibilidade. Baseado em um sistema modular com peças de *hardware* customizadas e uma arquitetura de processamento baseada em FPGA, o MobiDICK4 oferece suporte para uma fácil implementação de novos testes. Da mesma forma, a aquisição de dados especiais pode ser realizada com poucos ajustes e relativa simplicidade.

Com esse novo suporte sendo disponibilizado ao grupo do TileCal, foi realizada, em Agosto de 2013, uma campanha de aquisição de dados [84], utilizando o MobiDICK4 e a TROB para coletar, digitalizar e gravar amostras da informação presente nas Saídas de Múons. Nessa campanha, foram coletados dados de todas as células, PMTs direita e esquerda, de todos os 128 módulos EB do Tile. Esse extensivo trabalho só foi possível graças ao MobiDICK4, que permitiu que fossem realizadas rapidamente leituras simultâneas dos 4 canais de cada módulo.

A primeira informação de interesse que se faz necessária no projeto do filtro é o formato do pulso. Conforme descrito na Seção 5.2, a taxa de amostragem da TROB é determinada em 40 MHz por um oscilador e, portanto, não pode ser alterada por *software*. Por outro lado, o processador do MobiDICK4 roda a uma taxa muito mais alta, o que o permite enviar comandos de injeção de carga numa velocidade superior. Assim, mantendo-se a taxa de amostragem constante, mas variando progressivamente o momento em que é realizada a injeção de carga nos 3-in-1, cada pulso será digitalizado em diferentes instantes. Com a superposição desses sinais, chegamos a um pulso reconstruído com maior resolução temporal, como ilustrado na Figura 6.5. Adicionalmente, injetar um valor de carga conhecido e analisar o pico do pulso, nos permite estabelecer um fator de calibração entre Volt e pC para os canais de múons.

Para um bom projeto de filtro, também é necessário caracterizar corretamente o ruído presente no canal. Por isso, na campanha de aquisição de dados também foram coletadas amostras somente de ruído, sem injeção de carga. Os dados obtidos nos permitem realizar algumas análises interessantes. Obviamente, existe uma variação no comportamento de diferentes módulos, mas, a título de ilustração, mostraremos as análises realizadas sobre as células do módulo EBA54, escolhido de forma aleatória.

Na Figura 6.6 são mostrados histogramas dos dados de ruído obtidos das 2 células D, tanto para o lado esquerdo como o direito. Os valores, inicialmente obtidos em *ADC counts*, foram convertidos para pC. Sobreposto aos histogramas, é mostrado, em vermelho, um *fitting* feito a partir de uma distribuição gaussiana, cujos parâmetros foram retirados dos dados. Além da inspeção visual, um teste de *goodness of fit*

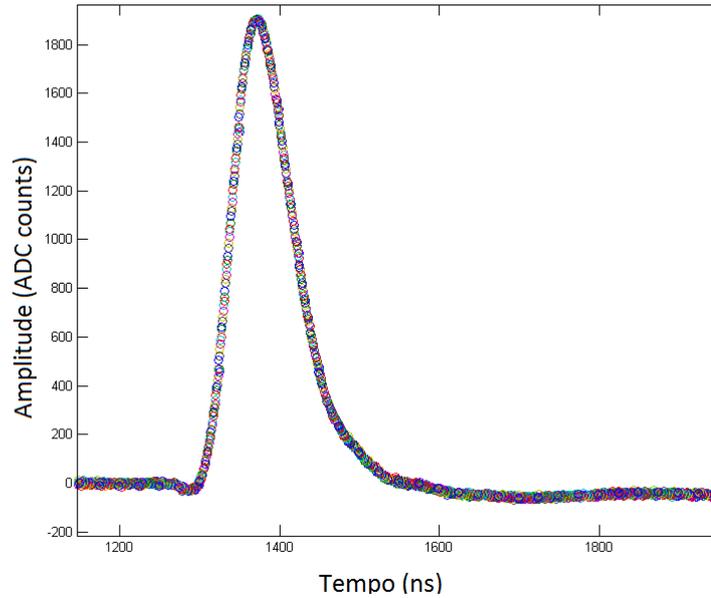


Figura 6.5: A partir da união de vários pulsos com carga injetada em diferentes momentos, pode-se reconstruir o pulso do Tile com uma maior resolução temporal

utilizando o método do mínimos quadrados normalizado confirma que, nos quatro canais, o ruído realmente se distribui de forma gaussiana. Também é mostrado nos gráficos o desvio padrão do ruído, uma medida diretamente relacionada à energia do mesmo. Repare que o valor é consideravelmente maior na célula D6.

Na Figura 6.7 é mostrada a autocorrelação desses mesmos canais, até um máximo de 50 *lags*. Em todos os casos, a forma das funções é diferente de um impulso, mostrando que o ruído observado não é branco [85]. Também pode ser visto como as funções referentes à célula D6 apresentam maiores picos centrais, outro indicativo de que o ruído tem maior potência nesses canais [85].

A Figura 6.8 mostra como a energia do ruído se distribui ao longo de todo o espectro de frequência. Lembrando que esses dados foram adquiridos com auxílio da TROB, que utiliza uma taxa de amostragem de 40 MHz e possui, em seu estágio analógico, um filtro passa-baixa com frequência de corte de 20 MHz. Nos gráficos, podemos observar um padrão, com a energia subindo rapidamente até um máximo em aproximadamente 2 MHz e depois apresentando uma suave queda até a frequência de corte. Porém, no canal D6L, verifica-se a existência de um inesperado pico em torno de 6 MHz. Esse estranho comportamento pode ser explicado como interferência de outros componentes eletrônicos da gaveta. Como as PMTs do Tile se distribuem ao longo de toda a parte superior do módulo, algumas estão fisicamente mais próximas de determinados componentes do que outras, estando mais suscetíveis a fontes específicas de ruído eletromagnético. Especialmente, a PMT correspondente

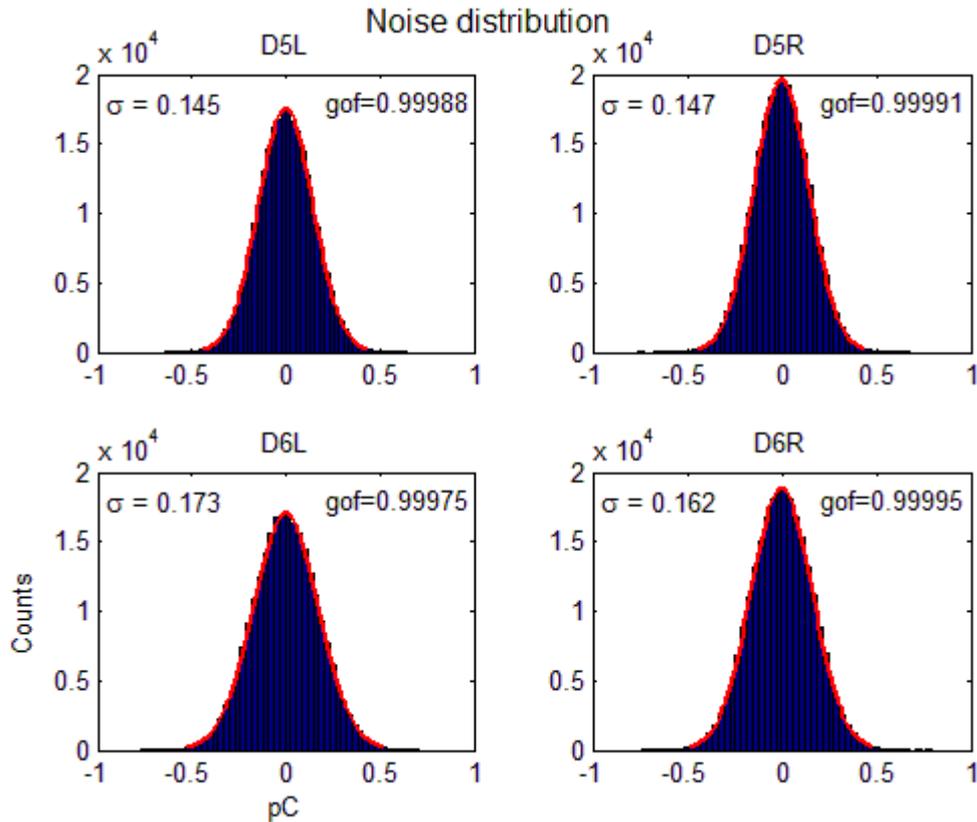


Figura 6.6: Módulo EBA54 - Distribuição e desvio padrão de ruído dos 4 canais de interesse ao projeto Tile-Muon. Dados obtidos com o auxílio do MobiDICK4

ao canal D6L fica posicionada bem próxima à parte mais exterior do módulo, mesma localização das fLVPS; componentes conhecidos por serem particularmente ruidosos. O mesmo efeito pode ser observado, em menor escala, no canal D6R, cuja PMT também fica próxima à fLVPS. Esta fonte extra de ruído, observada em ambos os canais, justifica a distribuição com maior desvio padrão mostrada na Figura 6.6.

Numa última análise desse módulo, olhamos para a correlação cruzada entre os canais de interesse, na Figura 6.9. Observa-se que todos os canais são praticamente descorrelacionados, exceto pelos canais D6L e D6R que, como vimos, estão sujeitos à mesma fonte de ruído de interferência. Ainda assim, como essa fonte de ruído não é dominante no espectro, o coeficiente de correlação é baixo.

Com o intuito de verificar a validade de nossos estudos em outros módulos, procuramos agora uma visão mais geral, uma estatística que nos informe não apenas sobre os canais do módulo EBA54, mas sobre todos os módulos do Tile. A Figura 6.10 exibe os valores RMS de ruído obtido para todos os módulos EBA do TileCal. Enquanto a maior parte dos canais D5L, D5R e D6R tendem a permanecer próximo a uma média, com pequenas flutuações, o canal D6L não só conta com maior valor médio, fruto da fonte extra de ruído observada anteriormente, como também apresenta

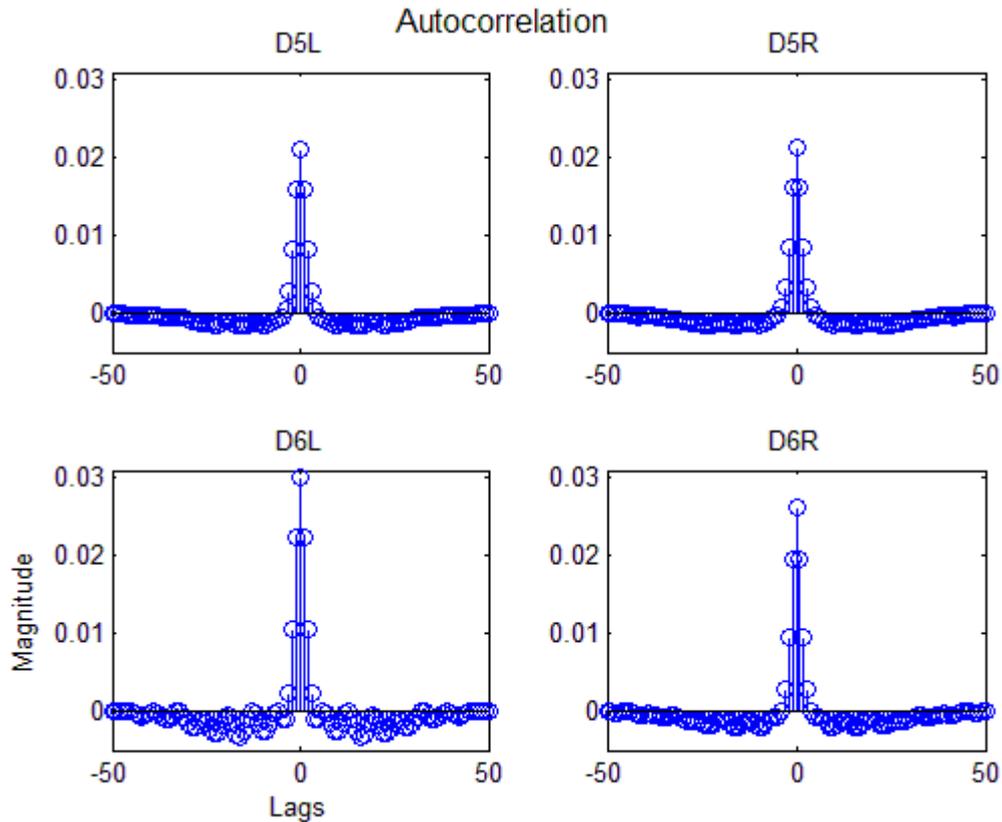


Figura 6.7: Autocorrelação do ruído

grande variância entre diferentes módulos.

Olhando atentamente para a Figura 6.10, verifica-se ainda que o módulo EBA54, alvo dos estudos até aqui apresentados, possui um valor RMS do canal D6L relativamente baixo, se comparado aos outros módulos. A Figura 6.11 mostra novamente a PSD dos 4 canais, mas desta vez para um módulo vizinho, o EBA55. Nesse caso, vemos como o espectro de potência da D6L é amplamente dominado pela fonte extra de ruído com frequência próxima a 6 MHz. Novamente, o mesmo efeito é observado, em menor escala, na D6R.

Essa situação colocava o projeto Tile-Muon num impasse, uma vez que esse alto valor de ruído não era previsto e, com a redução da SNR, a identificação de múons pelo TileCal poderia ser comprometida.

No entanto, com as informações reveladas por esses estudos, realizou-se uma inspeção detalhada sobre os componentes eletrônicos da gaveta, na tentativa de eliminar o problema do canal D6L. Observou-se que, apesar dos cabos que fazem a conexão entre o 3-in-1 e o Somador serem blindados, os conectores utilizados não eram. Ao fazer uso de um filme metálico para envolver os conectores, blindando-os eletromagneticamente, a fonte extra de ruído deixou de afetar o canal D6L.

Com essa conclusão, decidiu-se que as equipes de manutenção do TileCal deve-

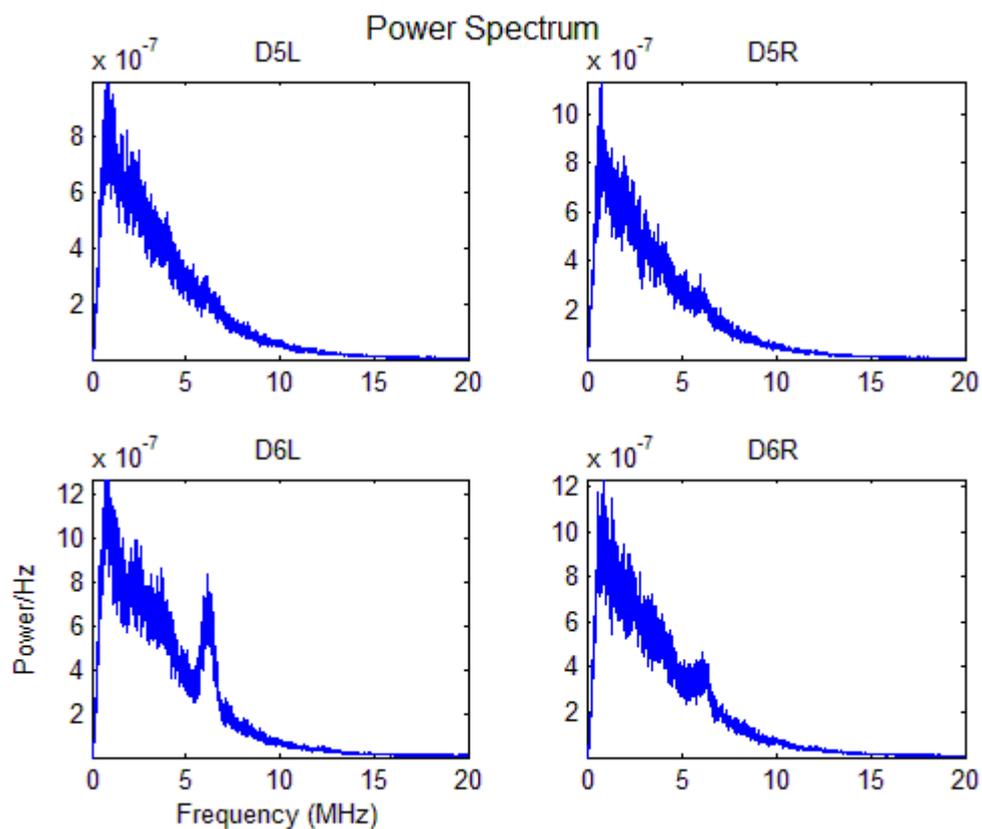


Figura 6.8: Densidade Espectral de Potência do ruído

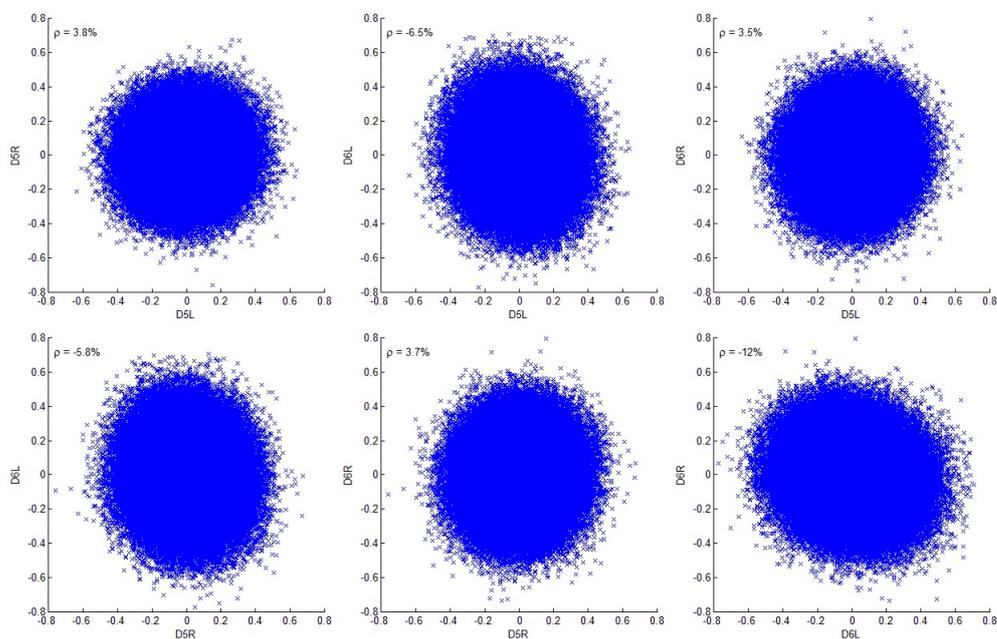


Figura 6.9: Correlação cruzada

riam realizar esse procedimento de blindagem dos conectores em todos os canais D5 e D6 de todos os módulos do calorímetro.

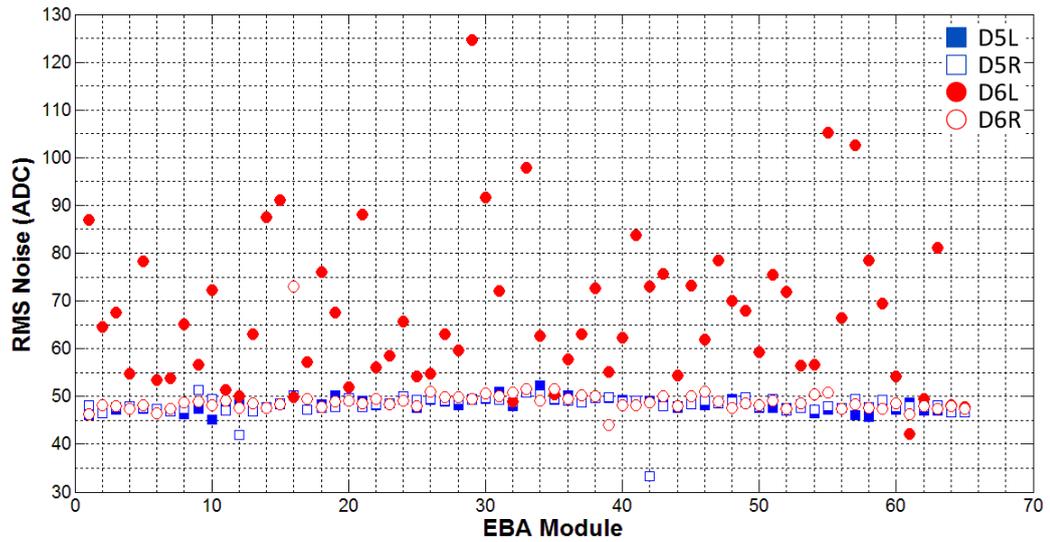


Figura 6.10: Valor RMS do ruído para os 4 canais da camada D de cada módulo EBA do TileCal. Extraído de [84]

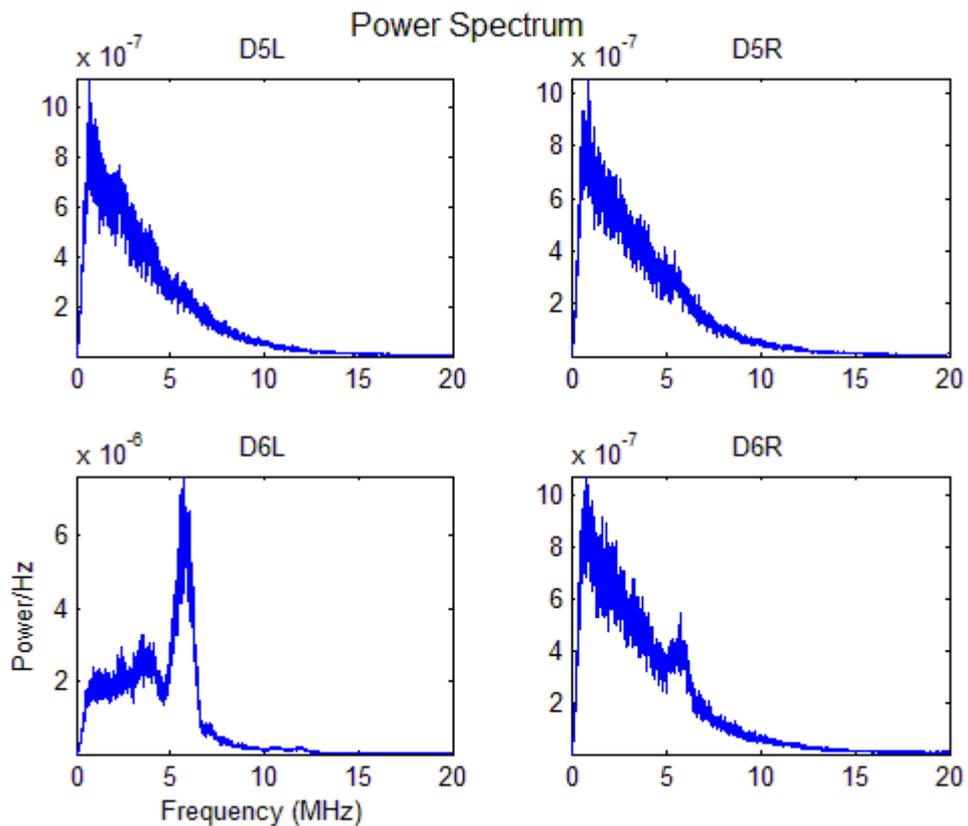


Figura 6.11: Densidade Espectral de Potência para os 4 canais do módulo EBA55, evidenciando amplo domínio de uma fonte extra de ruído no canal D6L

Encerramos esse capítulo com uma foto do MobiDICK4, sendo usado na caverna do ATLAS por uma das equipes de manutenção do TileCal.

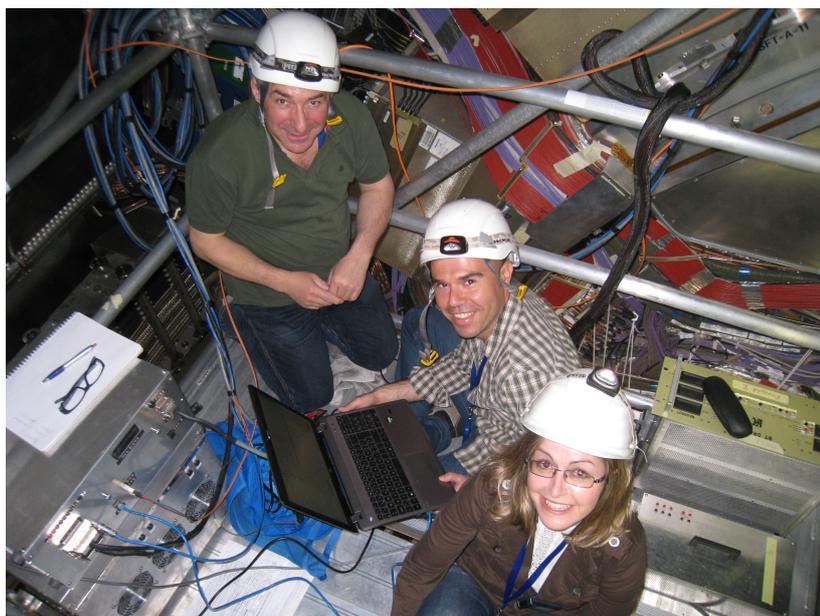


Figura 6.12: MobiDICK4 em uso

Capítulo 7

Conclusões

Esta dissertação tratou de assuntos relacionados ao desenvolvimento de sistemas eletrônicos para o ATLAS, no contexto de atualização do experimento para o aumento da luminosidade do LHC, previsto para os próximos 10 anos. Focando principalmente no Calorímetro Hadrônico de Telhas, o trabalho concentrou-se em dois sistemas: o projeto Tile-Muon e o desenvolvimento da quarta versão do MobiDICK.

Em relação ao projeto Tile-Muon, inicialmente foram apresentadas análises que mostraram a eficiência da proposta, para em seguida ser desenvolvido o *hardware* de aquisição e processamento digital dos sinais de múon do TileCal. O objetivo desse projeto é tornar mais eficiente a seleção de eventos do ATLAS no que concerne a identificação de múons. Com uma ambiciosa meta de redução de até 80% na taxa de *trigger* de múons para a região da tampa do Espectrômetro, o projeto terá um custo relativamente baixo. Isto porque não serão necessárias intervenções físicas nos detectores, sendo utilizados canais de dados que já estavam disponíveis, apesar de não usados.

Também foi apresentado o desenvolvimento do MobiDICK4. Este projeto, extremamente desafiador, visou a atualização de uma plataforma portátil de validação eletrônica com mais de 10 anos de uso. Para tanto, foi desenvolvido um sistema modular que busca a integração de diversas peças de *hardware*, comerciais ou customizadas. Também foram necessários extensivos trabalhos no desenvolvimento de *firmware* para o sistema e no ajuste de *softwares* já existentes. Como resultado, a nova plataforma, além de apresentar as mesmas funcionalidades das versões anteriores, está preparada para receber a nova eletrônica do TileCal, capacitando o detector para a Fase 0 do *upgrade*. Outra importante melhoria advinda com esse projeto, foi a grande redução de peso e tamanho, aumentando sensivelmente a facilidade de transporte do sistema. Ainda dentro do projeto do MobiDICK4, tratamos também da TROB, uma das peças de *hardware* customizada mais complexas do sistema de validação desenvolvido e de particular importância por tratar de sinais de *trigger*, uma

das áreas mais afetadas pelo programa de *upgrade* do ATLAS. Com ótimo desempenho em toda a faixa de operação para a qual foi projetada, essa *daughterboard* ainda permitiu a realização de análises fundamentais para o projeto Tile-Muon.

Como foi apresentado no capítulo de resultados, os dados obtidos com o MobiDICK4 têm sido de extrema importância no comissionamento da Saída de Múons do TileCal. As análises realizadas terão ainda grande relevância no projeto dos filtros digitais a serem implementados pela Receiver Board. Esse tipo de estudo mostra como o MobiDICK4 vem se tornando uma importante peça no contexto de *upgrade* do ATLAS.

A continuidade do trabalho apresentado se dá tanto no constante aprimoramento do MobiDICK, como na sequência do projeto Tile-Muon, que está em fase final de produção dos primeiros protótipos e ainda demandará diversas análises, desenvolvimento de sofisticados algoritmos de processamento de sinais e também desenvolvimento de *hardware* para a versão final da Receiver Board.

Referências Bibliográficas

- [1] “CERN website”. <http://cern.ch>, acessado em Novembro de 2013. 7
- [2] PULLMAN, B. *The atom in the history of human thought*. Oxford, Oxford Univ. Press, 2002. 8
- [3] COTTINGHAM, W. N., GREENWOOD, D. A. *An Introduction to the Standard Model of Particle Physics*. Cambridge, Cambridge University Press, 1998. 8
- [4] PERKINS, D. H. *Introduction to high-energy physics*. Cambridge, Cambridge University Press, 2000. 8
- [5] WIEDEMANN, H. “Particle accelerator physics”. Springer, 2007. 8
- [6] EDWARDS, D. A., SYPHERS, M. J. “An Introduction to the Physics of High Energy Accelerators”. Wiley-Interscience, 1992. 8
- [7] EVANS, L. R., BRYANT, P. “LHC Machine”, *J. Instrum.*, v. 3, pp. S08001. 164 p, 2008. This report is an abridged version of the LHC Design Report (CERN-2004-003). 9
- [8] EVANS, L. R. “LHC Accelerator Physics and Technology Challenges”, *Proceedings of the 1999 Particle Accelerator Conference*, pp. 21–25, 1999. 10
- [9] “CERN Document Server”. <http://cds.cern.ch>, acessado em Novembro de 2013. xv, xvi, 10, 12, 13, 14, 15, 16, 17, 23
- [10] BOCK, R. K., VASILESCU, A. “The particle detector brief book”. Springer, 1998. 11, 13
- [11] THE CMS COLLABORATION. “The CMS experiment at the CERN LHC. The Compact Muon Solenoid experiment”, *J. Instrum.*, v. 3, pp. S08004. 361 p, 2008. Also published by CERN Geneva in 2010. 11

- [12] THE ATLAS COLLABORATION. “Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC”, *Physics Letters B*, v. 716, pp. 1–29, 2012. 11
- [13] THE ALICE COLLABORATION. “The ALICE experiment at the CERN LHC. A Large Ion Collider Experiment”, *J. Instrum.*, v. 3, pp. S08002. 259 p, 2008. Also published by CERN Geneva in 2010. 11
- [14] THE LHCb COLLABORATION. “The LHCb Detector at the LHC”, *J. Instrum.*, v. 3, pp. S08005, 2008. Also published by CERN Geneva in 2010. 11
- [15] TOTEM COLLABORATION. *TOTEM, Total Cross Section, Elastic Scattering and Diffraction Dissociation at the LHC: Technical Proposal*, CERN-LHCC-99-007; LHCC-P-5. ed. CERN, Geneva, 1999. 11
- [16] LHCf COLLABORATION. *LHCf experiment: Technical Design Report*, LHCf-TDR-001; CERN LHCC-2006-004 ed. CERN, Geneva, 2006. 11
- [17] THE ATLAS COLLABORATION. “The ATLAS Experiment at the CERN Large Hadron Collider”, *J. Instrum.*, v. 3, pp. S08003. 437 p, 2008. Also published by CERN Geneva in 2010. xv, 11, 22
- [18] THE ATLAS COLLABORATION. *ATLAS Inner Detector: Technical Report*. Relatório técnico, CERN, 1997. LHCC-97-17. 13
- [19] THE ATLAS COLLABORATION. *ATLAS Liquid-Argon Calorimeter: Technical Design Report*. Relatório técnico, CERN, 1996. ATLAS-TDR-003. 13
- [20] THE ATLAS COLLABORATION. *ATLAS Muon Spectrometer: Technical Design*. Relatório técnico, CERN, 1997. LHCC-97-22. 14
- [21] “ATLAS website”. <http://atlas.ch>, acessado em Novembro de 2013. xv, 17
- [22] HALLER, J., ET ALL. *The first-level trigger of ATLAS*. Relatório Técnico physics/0512195. ATL-DAQ-PUB-2006-001. ATL-COM-DAQ-2005-043, CERN, Geneva, Nov 2005. 16
- [23] JENNI, P., NESSI, M., NORDBERG, M., et al. *ATLAS high-level trigger, data-acquisition and controls: Technical Design Report*. Technical Design Report ATLAS. Geneva, CERN, 2003. 18

- [24] THE ATLAS COLLABORATION. *ATLAS Tile Calorimeter: Technical Design Report*. Relatório técnico, CERN, 1996. ATLAS-TDR-003. 18, 20
- [25] WIGMANS, R. *Calorimetry - Energy Measurement in Particle Physics*. Oxford, Oxford University Press, 2000. 18
- [26] DAS, A., FERBEL, T. “Introduction to Nuclear and Particle Physics”. Wiley and Sons, 2003. 18
- [27] XAVIER, T. C. *Identificação Online de Sinais Baseada em Calorimetria de Altas Energias e com Fina Segmentação*. Tese de Mestrado, Universidade Federal do Rio de Janeiro, 2012. 20
- [28] THIAGO CIODARO, ON BEHALF OF THE ATLAS TDAQ COLLABORATION. *Muon Detection Based on a Hadronic Calorimeter*. Relatório Técnico ATL-DAQ-PROC-2010-050, CERN, Geneva, Nov 2010. 20, 30
- [29] BOHM, C., ERIKSSON, D., HELLMAN, S., et al. *ATLAS Tilecal Digitizer Test System and Quality Control*. Relatório Técnico ATL-TILECAL-2004-009. ATL-COM-TILECAL-2004-008. CERN-ATL-COM-TILECAL-2004-008, CERN, Geneva, 2004. xv, 21, 25
- [30] POVEDA, J., ABDALLAH, J., CASTILLO, V. “ATLAS TileCal read-out driver system production and performance results”, *IEEE Transactions on NuclearScience*, pp. 2629–2636, 2007. 20
- [31] ADRAGNA, P., ANTONAKI, A., BOUDAGOV, I., et al. “A PMT-Block test bench. oai:cds.cern.ch:954612”, *Nucl. Instrum. Methods Phys. Res., A*, v. 564, n. physics/0605074. 1, pp. 597–607. 23 p, May 2006. 23
- [32] CROUAU, M., GRENIER, P., MONTAROU, G., et al. *Characterization of 8-stages Hamamatsu R5900 photomultipliers for the TILE calorimeter*. Relatório Técnico ATL-TILECAL-97-129. ATL-L-PN-129, CERN, Geneva, Oct 1997. 23
- [33] ANDERSON, K., ET AL. “Design of the front-end analog electronics for the ATLAS Tile Calorimeter”, *Nucl. Instrum. Meth.*, v. A 551, pp. 469, 2005. 23
- [34] CERQUEIRA, A., SEIXAS, J., CALOBA, L. “Analog system for building the first-level triggering signal provided by the hadronic calorimeter of ATLAS detector”, *Nuclear Instruments and Methods in Physics Research*

Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, v. 570, n. 1, pp. 117 – 125, 2007. 24, 64, 70

- [35] BERGLUND, C., BOHM, C., ENGSTRÖM, M., et al. *The ATLAS Tile Calorimeter Digitizer*. Relatório Técnico ATL-TILECAL-PUB-2007-007. ATL-COM-TILECAL-2007-018, CERN, Geneva, Nov 2007. 25
- [36] ANDERSON, K., SEN-GUPTA, A., PILCHER, J. E., et al. “ATLAS Tile Calorimeter Interface”. In: *Proceedings of the Eighth Workshop on Electronics for LHC Experiments*, pp. 269–273, Colmar, France, September 2002. CERN. 26
- [37] TAYLOR, B. G. “TTC distribution for LHC detectors”, *IEEE Trans. Nucl. Sci.*, v. 45, pp. 821–828, 1998. 26
- [38] TAYLOR, B. G. “Timing distribution at the LHC”. In: *Proceedings of the Eighth Workshop on Electronics for LHC Experiments*, pp. 63–74, Colmar, France, September 2002. CERN. 26
- [39] CHADELAS, R., GRENIER, P., LAMBERT, D., et al. *High voltage distributor system for the Tile hadron calorimeter of the ATLAS detector*. Relatório Técnico ATL-TILECAL-2000-003. PCCF-RI-2000-04, Clermont-Ferrand, Aubière, Feb 2000. 27
- [40] HRUSKA, I., PALAN, B., CALHEIROS, F., et al. “Proceedings of the Topical Workshop on Electronics for Particle Physics (TWEPP-07)”. In: *Proceedings of the Eighth Workshop on Electronics for LHC Experiments*, pp. 369–373, Prague, Czech Republic, September 2007. CERN. xvi, 28
- [41] CIODARO, T., DE SEIXAS, J. M., CERQUEIRA, A. *Use of Hadronic Calorimetry Information in the ATLAS Level-1 Muon Trigger*. Relatório Técnico ATL-TILECAL-PROC-2013-006, CERN, Geneva, Jun 2010. 30
- [42] SCHETTINO, V. *Sistema para Recepção de Sinais em um Experimento de Física de Altas Energias*. Tese de Mestrado, Universidade Federal de Juiz de Fora, 2011. 30, 37
- [43] KAWAMOTO, T., VLACHOS, S., PONTECORVO, L., et al. *New Small Wheel Technical Design Report*. Relatório Técnico CERN-LHCC-2013-006. ATLAS-TDR-020, CERN, Geneva, Jun 2013. 30
- [44] BARTOLDUS, R. S., BEE, C. M. C., FRANCIS, D. C., et al. *Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System*. Relatório

Técnico CERN-LHCC-2013-018. ATLAS-TDR-023, CERN, Geneva, Sep 2013. Final version presented to December 2013 LHCC. xvi, 34, 35, 36

- [45] TREES, H. L. V. *Detection, Estimation and Modulation Theory, Part I*. USA, Wiley, 2001. 38
- [46] BONNEFOY, R., CALVET, D., CHADELAS, R., et al. *MobiDICK: a mobile test bench for the TileCal super-drawers*. Relatório Técnico ATL-TILECAL-2004-003, CERN, 2004. xvi, 40, 42
- [47] CALVET, D., GIANGIOBBE, V. *Performance of the TileCal super-drawers from a global analysis of the MobiDICK tests*. Relatório Técnico ATL-TILECAL-PUB-2008-007, CERN, 2008. xvi, 40, 56
- [48] CREATIVE ELECTRONICS SYSTEM. “RIO2”. <http://www.ces.ch>, acessado em Novembro de 2013. 40
- [49] INCAA COMPUTERS. “Simple S-LINK to PMC interface (SSP)”. <http://www.incaacomputers.com>, acessado em Novembro de 2013. 40
- [50] CERN. “ODIN”. <http://hsi.web.cern.ch/HSI/slink/devices/odin>, acessado em Novembro de 2013. 40
- [51] TEWS TECHNOLOGIES. “TVME200”. <http://www.tews.com>, acessado em Novembro de 2013. 41
- [52] TEWS TECHNOLOGIES. “TIP816”. <http://www.tews.com>, acessado em Novembro de 2013. 41
- [53] GALLNO, P. *TTC VME bus Interface TTCVI*. Relatório técnico, CERN, 2000. 41
- [54] TAYLOR, B. G. *TTC laser transmitter (TTCex, TTCtx, TTCmx) User Manual*. RD12 Project, 2003. 41
- [55] CAEN ELECTRONIC INSTRUMENTATION. “V792”. <http://www.caen.it>, acessado em Novembro de 2013. 41
- [56] BRUN, R., RADEMAKERS, F. “ROOT - An Object Oriented Data Analysis Framework”, *Nuclear Instruments and Methods in Physics Research A*, v. 389, pp. 81–86, 1997. 42
- [57] XILINX INC. “The ML507 evaluation platform”. <http://www.xilinx.com>, acessado em Novembro de 2013. 44

- [58] *ML505/ML506/ML507 Evaluation Platform User Guide, UG347 (v3.1.2)*. Xilinx Inc., Março 2011. 44
- [59] XILINX INC. “Virtex-5”. <http://www.xilinx.com>, acessado em Novembro de 2013. 44
- [60] *Virtex-5 FPGA User Guide, UG190 (v5.4)*. Xilinx Inc., Março 2012. 44
- [61] LAWICEL AB. “CAN232”. <http://www.can232.com/>, acessado em Novembro de 2013. xvii, 47, 48
- [62] *CAN232 Version 3 Manual (v3.0b)*. LAWICEL AB, Junho 2013. 47
- [63] TDK-LAMBDA. “LS Series”. <http://www.us.tdk-lambda.com/ftp/Specs/ls.pdf>, acessado em Novembro de 2013. 47
- [64] XP POWER. “JCB Series”. http://www.xppower.com/pdfs/SF_JCB.pdf, acessado em Novembro de 2013. 48
- [65] XP POWER. “IQ Series”. http://www.xppower.com/pdfs/SF_IQ.pdf, acessado em Novembro de 2013. 48
- [66] *Embedded Processor Block in Virtex-5 FPGAs, UG200 (v1.8)*. Xilinx Inc., Fevereiro 2010. 51
- [67] *PPC440x5 CPU Core User Manual, SA14-2613-03*. IBM Corp., Julho 2003. 51
- [68] *LogiCORE IP Processor Local Bus (PLB) Product Specification, DS531 (v4.6)*. Xilinx Inc., Setembro 2010. 51
- [69] *128-bit Processor Local Bus Architecture Specifications, SA-14-2538-04 (v4.6)*. IBM Corp., Julho 2004. 51
- [70] XILINX INC. “ISE WebPACK Design Software”. <http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm>, acessado em Novembro de 2013. 52
- [71] XILINX INC. “Platform Studio and the Embedded Development Kit (EDK)”. <http://www.xilinx.com/tools/platform.htm>, acessado em Novembro de 2013. 52
- [72] SOLANS, C., CARRIO, F., KIM, H. Y., et al. “Computing challenges in the certification of ATLAS Tile Calorimeter front-end electronics during maintenance periods”. In: *20th International Conference on Computing in*

High Energy and Nuclear Physics (CHEP), Amsterdam, Holanda, Outubro 2013. 59

- [73] TE CONNECTIVITY. “5747193-2 Product Details”. <http://www.te.com/catalog/pn/en/5747193-2>, acessado em Novembro de 2013. 63
- [74] *Fully-Differential Amplifiers, SLOA054D*. Texas Instruments, Janeiro 2002. 64
- [75] TEXAS INSTRUMENTS. “THS4151”. <http://www.ti.com/product/ths4151>, acessado em Novembro de 2013. 64
- [76] MITRA, S. K. *Digital Signal Processing*. 3rd ed. New Delhi, Tata Mcgraw Hill, 2007. 64
- [77] *Anti-Aliasing, Analog Filters for Data Acquisition Systems, AN699*. Microship, 1999. 64
- [78] TEXAS INSTRUMENTS. “ADS5271”. <http://www.ti.com/product/ADS5271>, acessado em Novembro de 2013. 65, 69
- [79] FOX ELECTRONICS. “FXO-HC73 SERIES”. http://www.foxonline.com/pdfs/FX0_HC73.pdf, acessado em Novembro de 2013. 66
- [80] TEXAS INSTRUMENTS. “CDCLVC1102”. <http://www.ti.com/product/cdclvc1102>, acessado em Novembro de 2013. 66
- [81] LINEAR TECHNOLOGY. “LT1529-3.3”. <http://www.linear.com/product/LT1529>, acessado em Novembro de 2013. 66
- [82] LINEAR TECHNOLOGY. “LT3015”. <http://www.linear.com/product/LT3015>, acessado em Novembro de 2013. 66
- [83] TEXAS INSTRUMENTS. “TPS73633”. <http://www.ti.com/product/tps73633>, acessado em Novembro de 2013. 66
- [84] SOUZA, J., YAMAGUCHI, D., USAI, G., et al. “Status of D-Cells Measurement Campaign”. <https://indico.cern.ch/getFile.py/access?contribId=5&resId=0&materialId=slides&confId=249250>, August 2013. xvii, 78, 83
- [85] JR., P. Z. P. *Probability, Random Variables and Random Signal Principles*. Fourth edition ed. India, TaTa McGraw-Hill, 2002. 79

Apêndice A

Sistema de Coordenadas do ATLAS

O sistema de coordenadas usados em experimentos com feixes não é o sistema polar. É um sistema adequado ao formato cilíndrico dos detectores dispostos ao redor do ponto de impacto, ou seja, um sistema que acompanha a direção dos feixes de partículas provenientes da colisão. As coordenadas empregadas são η , ϕ e z em contraposição a x , y e z . Os termos η e ϕ seguem uma transformação não-linear de x e y :

$$\phi = \arctan \frac{x}{y} \quad (\text{A.1})$$

$$\eta = -\log\left(\tan \frac{\phi}{2}\right) \quad (\text{A.2})$$

A Figura A.1 pode ser explicativa quanto ao sistema. Em sua parte superior, é possível ver um esquema do barril e da tampa de um detector, mostrando como se comportam as coordenadas tomando por referência as coordenadas cartesianas x , y e z (marcadas em pontilhado). Nota-se que a variável ϕ representa a rotação e a variável η (também chamada de pseudo-rapidez) representa a direção de projeção das partículas, após a colisão.

Os valores dados das variáveis η e ϕ são apenas para referência do leitor. A variável ϕ , como é possível ver no canto direito da parte superior da figura, possui uma região em que dois valores são possíveis: 0 e 2π . Esta área é chamada de região *wrap-around*. Cálculos utilizando esta variável devem atentar para este fato.

Os detectores são simétricos em relação ao eixo ϕ e a construção dos dispositivos é feita em gomos.

Repara-se que quando alcança o eixo z , $\eta = 1$, isto significa que objetos com valores grandes em η representam colisões onde as partículas do feixe apenas se

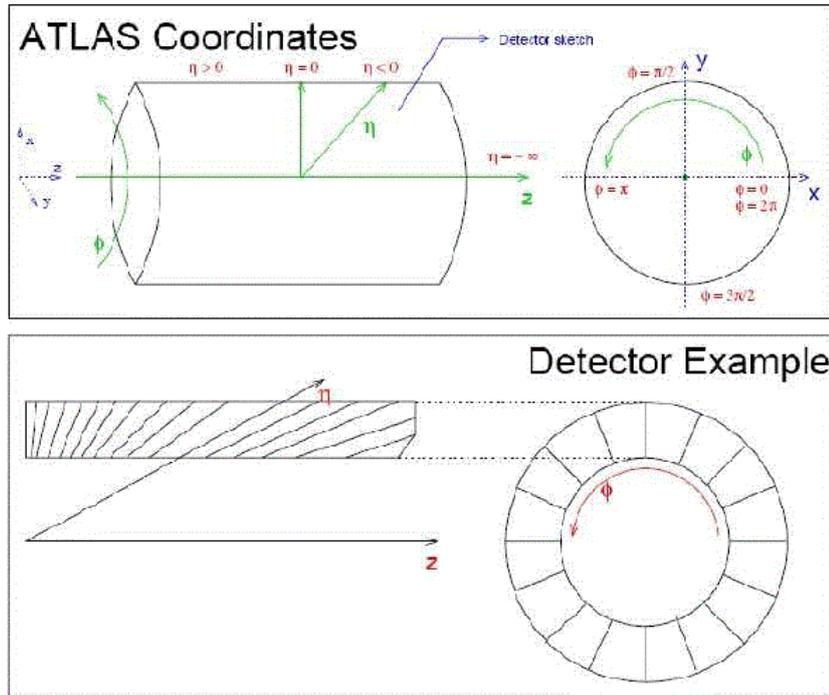


Figura A.1: O sistema de coordenadas do ATLAS

desviaram, não havendo, usualmente informações interessantes de análise pois representam choques elásticos. É comum utilizar-se detectores com baixa resolução quando $\eta > 3$.

Na parte inferior da figura, é possível ver um exemplo de como um detector genérico é segmentado, acompanhando as coordenadas η e ϕ , tanto para o barril quanto para uma tampa.

Apêndice B

Layout da Trigger Read Out Board

Neste apêndice será descrito o trabalho de *layout* da Trigger Read Out Board. Aqui, as ligações simbólicas entre componentes são substituídas pelo traçado das trilhas de cobre, que formarão as verdadeiras conexões elétricas no PCB. Da mesma forma, deve-se considerar o posicionamento dos CIs, a impedância das conexões, o *stackup* dos planos, o tamanho das trilhas etc.

Começamos pelo estágio analógico. Como a maior parte dos componentes da placa pertencem a esse estágio, era importante que eles fossem dispostos de maneira compacta, evitando desperdício de espaço no PCB. A Figura B.1 mostra como os componentes esquematizados na Figura 5.3 foram fisicamente posicionados na placa. Observa-se que, apesar da disposição condensada dos CIs, a ordem em que eles foram posicionados facilita o fluxo dos sinais, garantindo um *layout* organizado e com trilhas curtas e bem distribuídas. Estes fatores reduzem a possibilidade de contaminação da informação com ruído proveniente de *cross-talk*. Os componentes dos outros 15 canais de leitura analógica foram posicionados exatamente da mesma maneira.

De forma genérica, o principal fluxo de informação na TROB é o seguinte: conector de entrada, estágios analógicos, ADC, conector de saída. Esta ideia é ilustrada na Figura B.2, que mostra apenas metade dos canais de leitura. Chegando pelo conector de entrada, os sinais provenientes do Somador são levados até seus respectivos estágios analógicos. Após esse processamento inicial, 8 canais convergem para um mesmo ADC, que então disponibiliza a informação digitalizada para os conectores de saída.

Como um importante objetivo do MobiDICK4 era redução de tamanho, impôs-se uma restrição à TROB: suas dimensões não deveriam ser maiores do que aquelas da placa mãe, a ML507. Ainda, determinou-se que a TROB deveria estar posicionada diretamente sobre a *motherboard*. Um empecilho causado por esta restrição, é que sobre a FPGA da placa mãe está localizado um *cooler*, para evitar sobre aquecimento da Virtex-5. Este *cooler* tem altura maior do que o conector de expansão da ML507,

canais tem de ter o mesmo comprimento tanto antes como após os ADCs.

Em se tratando de PCB, a principal forma de equalização de comprimento de trilhas utilizada é o uso de "serpentinhas", evidenciadas na Figura B.4. No design da TROB, cuidado foi tomado para que qualquer diferença entre trilhas diferenciais estivesse abaixo do limite de 0.1 mm. Tratando-se de ondas eletromagnéticas viajando na velocidade da luz, este limite traduz-se em diferenças temporais de, no máximo, 10 ps. Um valor irrelevante perto da taxa de amostragem utilizada, de 25 ns.

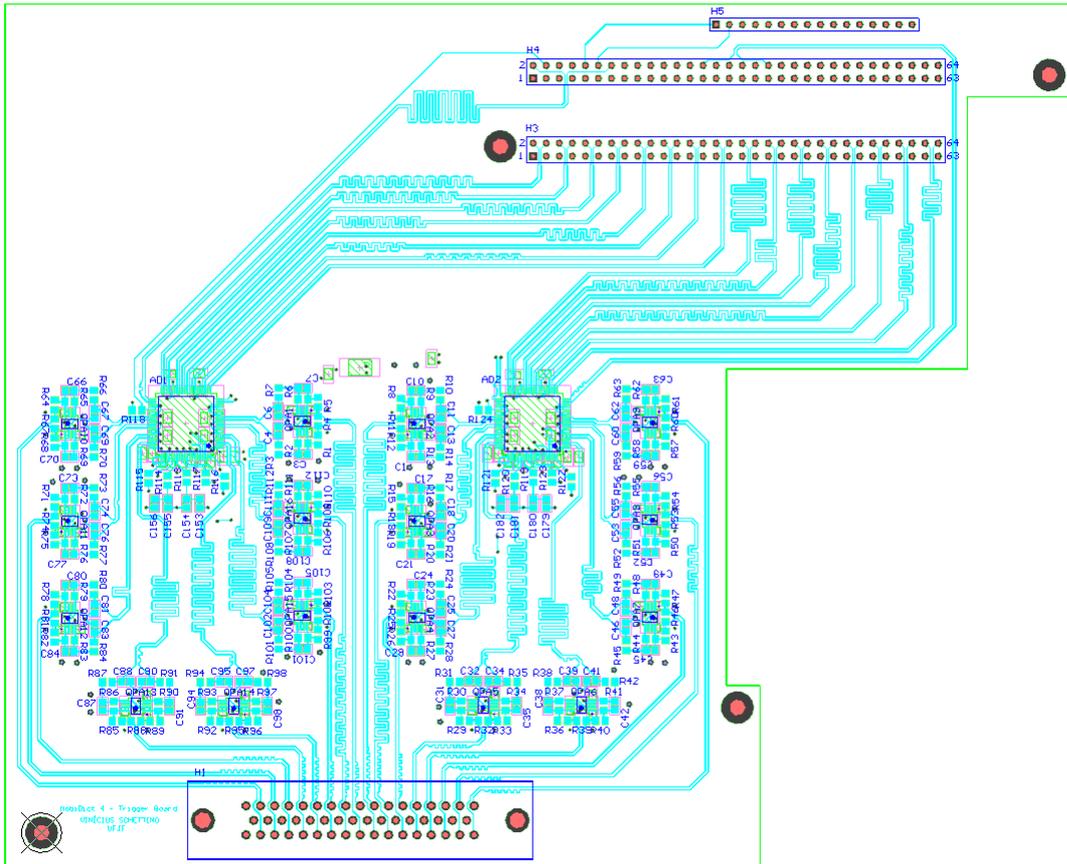


Figura B.4: Estágio avançado do *layout* da TROB, com destaque para as trilhas e o uso de serpentinhas na equalização

O único espaço disponível na placa, no canto posterior esquerdo, foi utilizado para alocar os componentes responsáveis pela conversão de tensões e fornecimento de energia para a TROB. A inclusão desse circuito é mostrada na Figura B.5.

Uma parte crítica em qualquer projeto de PCB é a distribuição de *clock*, em função da alta sensibilidade desses sinais. Para que os ADCs funcionem corretamente, o *clock* de amostragem deve ser entregue aos componentes sem distorções como *jitter* ou *skew*. O mesmo é verdade para o *clock* fornecido pelos ADCs e entregue à placa mãe.

No caso específico da TROB, outro ponto potencialmente problemático é o sinal

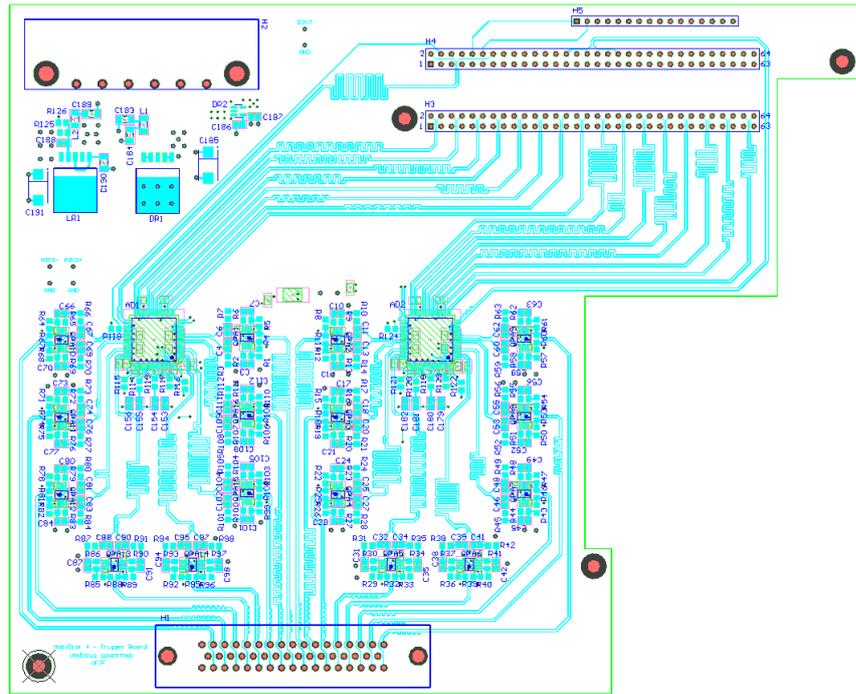


Figura B.5: Inclusão do circuito de fornecimento de potência, no canto superior esquerdo

de modo comum inserido nos canais analógicos; requisito do ADC escolhido. Conforme descrito na Seção 5.2, o ADS5271 fornece a tensão de modo comum, que então é levada ao operacionais de cada canal analógico, modificando o modo comum desses de 0 para 1,45 V. Como essa tensão é *inserida* na informação original, é importante que ela esteja livre de ruído, evitando o aparecimento de falsas informações digitais ou mesmo o saturamento do canal.

Uma maneira eficaz de prevenir essas distorções, nos sinais de *clock* e nas tensões de modo comum, é através do uso de trilhas pequenas e diretas, sem curvas acentuadas ou mudanças de planos. Tendo isso em mente, o um dos planos da TROB ficou dedicado à distribuição de *clock* e dos sinais de modo comum. Como, após o roteamento dessas trilhas, ainda havia bastante espaço disponível nesse plano, ele também foi usado para posicionamento dos capacitores de desacoplamento, com uma importante contribuição para a redução do espaço ocupado pelos estágios analógicos. Os componentes e trilhas da *bottom layer* são exibidos na Figura B.6.

Por fim, abordamos o *stackup* dos planos da TROB. Foram utilizadas 4 camadas. A de cima, *top layer*, é a principal, alocando a maioria dos componentes. As finalidades da *bottom layer* foram descritas no parágrafo anterior. Uma das camadas internas é exclusiva do plano de terra, cobrindo a placa inteira. A segunda camada interna é dedicada à distribuição de energia. A passagem de altas correntes de alimentação poderia acabar danificando o cobre da placa se fossem usadas trilhas

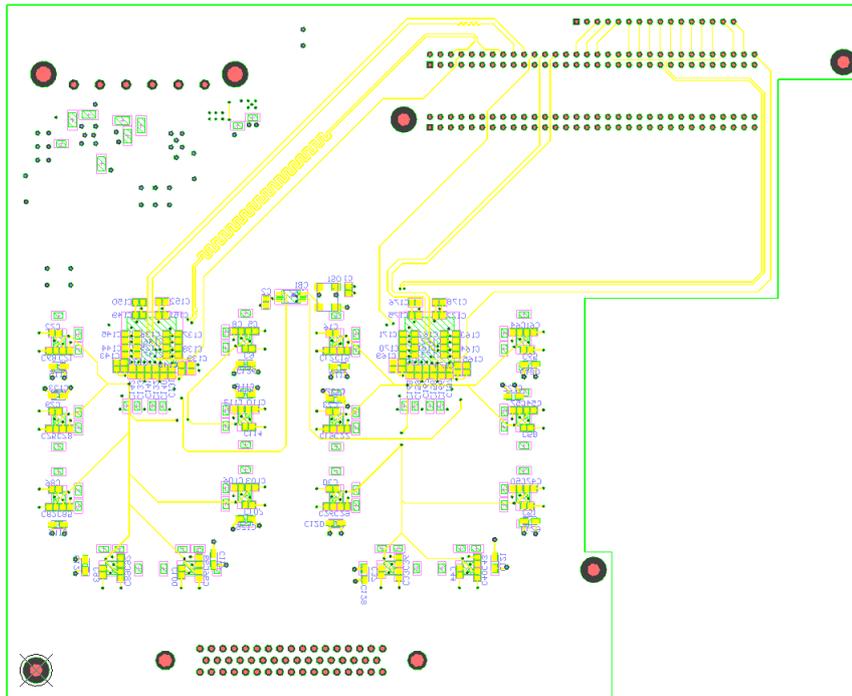


Figura B.6: Bottom layer da TROB, utilizada principalmente para distribuição de *clock* e dos sinais de modo comum

simples. Por isso, esse plano foi dividido em três porções, cada uma dedicada a uma das tensões de alimentação utilizadas. O plano, junto com suas divisões, é mostrado na Figura B.7. O *layout* finalizado é mostrado na Figura B.8.

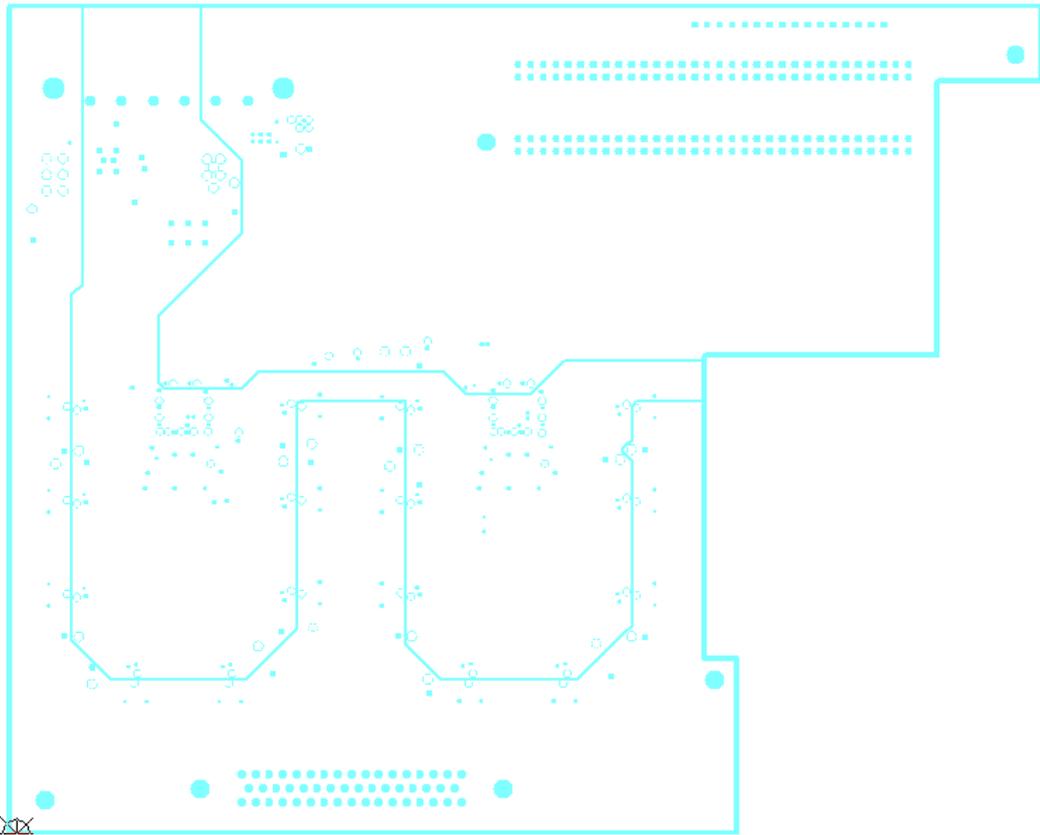


Figura B.7: Um dos planos internos da TROB, dedicado à distribuição de energia

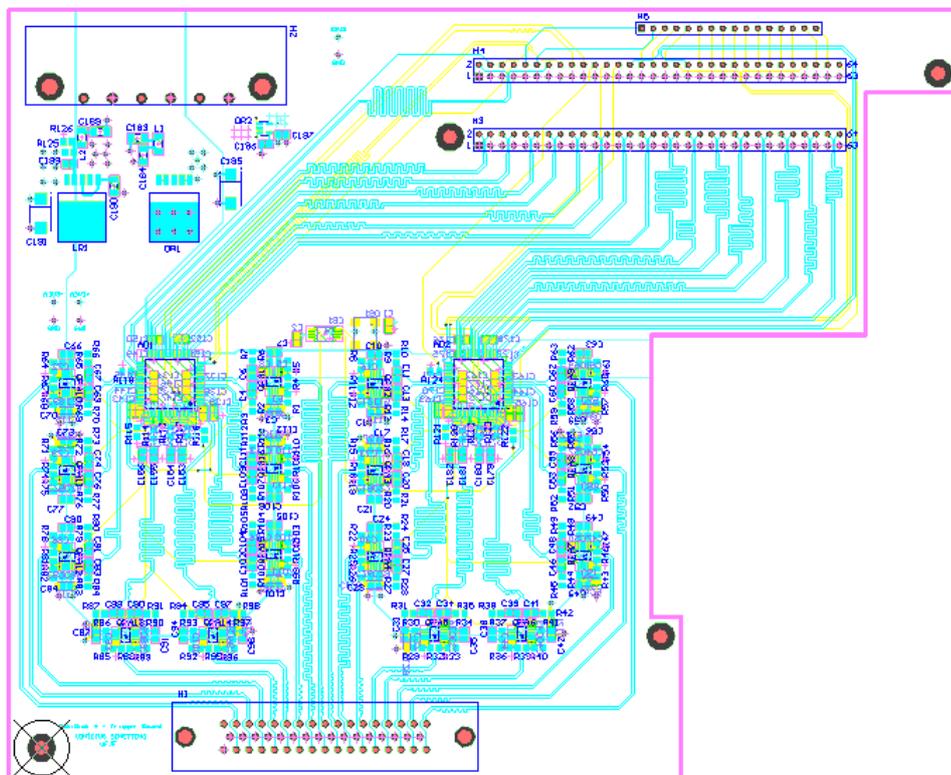


Figura B.8: *Layout* finalizado da TROB

Apêndice C

Produção Bibliográfica

A new portable test bench for the ATLAS Tile Calorimeter front-end electronics

P. Moreno, J. Alves, D. Calvet, F. Carrió, M. Crouau, K. Hee Yeun, I. Minashvili,
S. Nemecek, G. Qin, V. Schettino, C. Solans, G. Usai and A. Valero

Proceedings of TWEPP 2012, Oxford, U.K.

Abstract - This paper describes a new portable test bench for the TileCal sub-detector of the ATLAS experiment at CERN. The system is used for the certification and quality checks of the front-end electronics drawers. It is designed to be an easily upgradable version of the current 10 year-old system, able to evaluate the new technologies planned for the upgrade as well as provide new functionality to the present system. It will be used during the long shutdown of the LHC in 2013-14 and during future maintenance periods.

A new portable test bench for the ATLAS Tile Calorimeter front-end electronics certification

J. Alves, F. Carrió, H. Y. Kim, I. Minashvili, P. Moreno, R. Reed, V. Schettino, A. Shalyugin, C. Solans, J. Souza, G. Usai, A. Valero

Proceedings of ANIMA 2013, Marseille, France

Abstract - This paper describes the upgraded portable test bench for the Tile Calorimeter of the ATLAS experiment at CERN. The previous version of the portable test bench was extensively used for certification and qualification of the front-end electronics during the commissioning phase as well as during the short maintenance periods of 2010 and 2011. The new version described here is designed to be an easily upgradable version of the 10-year-old system, able to evaluate the new technologies planned for the ATLAS upgrade as well as provide new functionalities to the present system. It will be used in the consolidation of electronics campaign during the long shutdown of the LHC in 2013-14 and during future maintenance periods. The system, based on a global re-design with state-of-the-art devices, is based on a back-end electronics crate instrumented with commercial and custom modules and a front-end GUI that is executed on an external portable computer and communicates with the controller in the crate through an Ethernet connection.

Design of an FPGA-based embedded system for the ATLAS Tile Calorimeter front-end electronics test-bench

F. Carrióa, H. Y. Kim, P. Moreno, R. Reed, C. Sandroek, V. Schettino, A. Shalyugin, C. Solans, J. Souza, G. Usai and A. Valero, on behalf of the ATLAS Tile Calorimeter System

Proceedings of TWEPP 2013, Perugia, Italy

Abstract - The portable test-bench for the certification of the ATLAS tile hadronic calorimeter front-end electronics has been redesigned for the present Long Shutdown (LS1) of LHC improving its portability and expanding its functionalities. This paper presents a new test-bench based on a Xilinx Virtex-5 FPGA that implements an embedded system using a PowerPC 440 microprocessor hard core and custom IP cores. A light Linux version runs on the PowerPC microprocessor and handles the IP cores which implement the different functionalities needed to perform the desired tests such as TTCvi emulation, G-Link decoder ADC control and data reception.

Computing challenges in the certification of ATLAS Tile Calorimeter front-end electronics during maintenance periods

C. Solans, F. Carrió, H.Y. Kim, P. Moreno, R. Reed, C. Sandrock, X. Ruan, A. Shalyugin, V. Schettino, J. Souza, G. Usai, A.Valero on behalf of the ATLAS Tile calorimeter system

Proceedings of CHEP 2013, Amsterdam, The Netherlands

Abstract - After two years of operation of the LHC, the ATLAS Tile calorimeter is undergoing a consolidation process of its front-end electronics. The certification is performed in the experimental area with a portable test-bench which is capable of controlling and reading out one front-end module through dedicated cables. This test-bench has been redesigned to improve the tests of the electronics functionality quality assessment of the data until the end of Phase I.

Design of a Portable Test Facility for the ATLAS Tile Calorimeter Front-End Electronics Verification

H.Y. Kim, H. Akerstedt, F. Carrio, P. Moreno, T. Masike, R. Reed, C. Sandrock,
V.Schettino, A. Shalyugin, C. Solans, J. Souza, R. Suter, G. Usai and A. Valero on
behalf of the ATLAS Tile Calorimeter System

Proceedings of IEEEENSS 2013, Seoul, Korea

Abstract - The stand-alone test-bench deployed in the past for the verification of the Tile Calorimeter (TileCal) front-end electronics is reaching the end of its life cycle. A new version of the test-bench has been designed and built with the aim of improving the portability and exploring new technologies for future versions of the TileCal read-out electronics. An FPGA-based motherboard with an embedded hardware processor and a few dedicated daughter-boards are used to implement all the functionalities needed to interface with the front-end electronics (TTC, G-Link, CANbus) and to verify the functionalities using electronic signals and LED pulses. The new device is portable and performs well, allowing the validation in realistic conditions of the data transmission rate. We discuss the system implementation and all the tests required to gain full confidence in the operation of the front-end electronics of the TileCal in the ATLAS detector.

Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System

The ATLAS Collaboration

Abstract - The Phase-I upgrade of the ATLAS Trigger and Data Acquisition (TDAQ) system will allow the ATLAS experiment to efficiently trigger and record data at instantaneous luminosities that are up to three times that of the original LHC design while maintaining trigger thresholds close to those used in the initial run of the LHC. New Level-1 calorimeter feature extraction processors will be incorporated to allow finer granularity data from the Liquid Argon (LAr) Calorimeter to be used to improve electron, photon, and tau selection; more sophisticated and larger-area algorithms to be used to improve jet selection; and improved pile-up corrections to be used for missing momentum reconstruction. The finer granularity data will be optically transmitted from new dedicated LAr Calorimeter hardware which is described in a separate technical design report. The Phase-I TDAQ upgrade will also benefit from the construction of the New Small Wheel (NSW), described in a separate technical design report. The new signals from the NSW will be included in the Level-1 muon endcap trigger, significantly reducing the overall rate by rejecting a large fraction of fake triggers. In addition, signals from the outer layer of the extended barrel of the Tile Calorimeter will be made available to the Level-1 muon endcap trigger for reducing the fake trigger rate in the overlap region between barrel and endcap in the Muon Spectrometer. The upgraded Level-1 muon trigger electronics will provide input to the new Muon-to-Central-Trigger-Processor Interface (MUCTPI). The new calorimeter feature extraction processors and the new MUCTPI will produce object quantities (e.g. h , f and momentum) that can be combined with each other as well as with signals from the existing calorimeter trigger in a new topological processor. The Central Trigger Processor will be expanded to allow up to 512 distinct triggers. The Data Acquisition and the High-Level Trigger (HLT) processing farm will be upgraded to allow full calorimetry information on a large fraction of the 100 kHz of accepted Level-1 events to be read out and processed. The processing of the HLT will be complemented by the new Fast Tracker (FTK), described in a separate technical design report, that provides full track reconstruction at the start of the HLT selection process at the full Level-1 accept rate. Improved dataflow software, and improved and refined HLT selection algorithms will allow the 100 kHz Level-1 accept rate to be reduced to less than 1 kHz for recording.